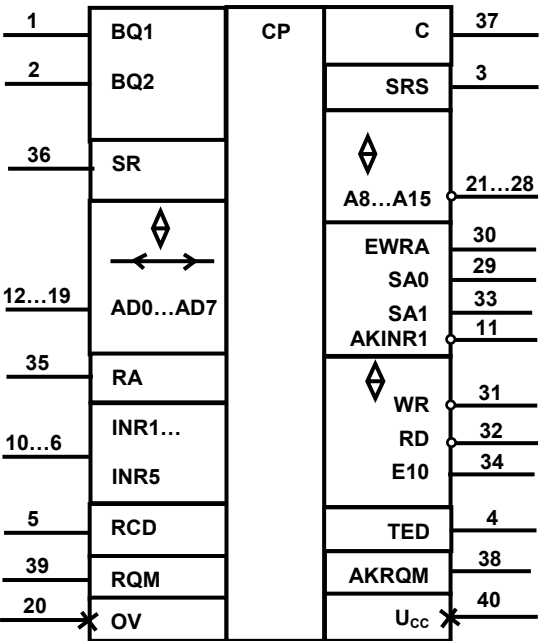


КМ1821ВМ85
КМ1821ВМ85А
КР1821ВМ85
КР1821ВМ85А

Ближайший аналог 8085А-2/8085А ф. Intel (км/кр)

Микропроцессор

Условное графическое изображение



Функциональное назначение

Процессор
восьмиразрядный

Корпус

2123.40-6НБ (для КМ)
2123.40-1 (для КР)

Технические характеристики

Напряжение питания 5,0 В ± 10 %
Диапазон рабочих температур
от – 45°С до + 85°С
Разрядность данных – 8
Разрядность адреса – 16
Количество каналов обмена – 256
адресуемых 8-разрядных внешних устройств
Количество команд – 123
Объем адресуемой памяти – 64 кбайт
Количество уровней прерывания – 5
Частота следования импульсов тактовых
сигналов на входе не более 10 / 7,2 МГц
Частота следования импульсов тактовых
сигналов на выходе не более 5 / 3,6 МГц
Динамическая потребляемая мощность
не более 121 / 110 мВт

Назначение выводов

Выводы	Обозначение	Наименование
1	BQ1	Вывод для подключения кварца RC-цепи, LC-цепи или внешнего генератора
2	BQ2	Вывод для подключения кварца RC-цепи
3	SRS	Выход «Начальная установка системы»
4	TFD	Выход «Передача последовательных данных»
5	RCD	Вход «Прием последовательных данных»
6...10	INR5...INR1	Входы «Прерывание 5»... «Прерывание 1»
11	AKINR1	Выход «Подтверждение прерывания»
12...19	AD0...AD7	Входы/выходы «Адрес-данные»
20	OV	Общий вывод
21...28	A8...A15	Выходы «Адрес»
29	SA0	Выход «Состояние»
30	EWRA	Выход «разрешение записи адреса»
31	WR	Выход «Запись»
32	RD	Выход «Считывание»
33	SA1	Выход «Состояние»
34	E10	Выход «Разрешение обращения к устройствам ввода/вывода»
35	RA	Вход «Готовность»
36	SR	Вход «Установка процессора в исходное состояние»
37	C	Выход «Тактовая частота»
38	AKRQM	Выход «Подтверждение запроса прямого доступа к памяти»
39	RQM	Вход прямого доступа к памяти
40	Ucc	Питание

Основные электрические параметры
при температуре 25°С

Параметр, режим измерения	Норма	
	не менее	не более
Ток потребления, мкА при U _{cc} =5,5 В	–	100
Входной ток низкого и высокого уровня, мкА при U _{cc} =5,5 В	–	0,3
Выходной ток низкого и высокого уровня в состоянии «Выключено», мкА при U _{cc} =U _{OH} =5,5 В, U _{IL} =0,8 В, U _{IH} =3,0 В, U _{OL} =0	–	0,5
Выходное напряжение низкого уровня, В при U _{cc} =4,5 В, U _{IL} =0,8 В, U _{IH} =3,0 В, I _{OL} =2,0 мА	–	0,4
Выходное напряжение высокого уровня, В при U _{cc} =4,5 В, U _{IL} =0,8 В, U _{IH} =3,0 В, I _{OL} =1,2 мА	3,0	–
Время установления выходных данных D0...D7 относительно сигнала WR, нс при U _{cc} =4,5 В, U _{IL} =0...0,5 В, U _{IH} =4...4,5 В, f _{CO} =5,0/3,0 МГц, C _L =150 пф	230/420	–
Время удержания выходных данных D0...D7 относительно сигнала WR, нс при U _{cc} =4,5 В, U _{IL} =0...0,5 В, U _{IH} =4...4,5 В, f _{CO} =5,0/3,0 МГц, C _L =150 пф	60/100	–
Время задержки сигнала EWRA относительно сигналов A8...A15, нс при U _{cc} =4,5 В, U _{IL} =0...0,5 В, U _{IH} =4...4,5 В, f _{CO} =5,0/3,0 МГц, C _L =150 пф	–	50/115
Максимальная частота следования импульсов тактовых сигналов на выходе, МГц, при U _{cc} =4,5 В, C _L =150 пф	–	5,0/3,6

Техническое описание работы схемы

(Р. Токайм «Микропроцессоры. Курс и упражнения», Москва, Энергоатомиздат, 1988)

Введение

1971 г. – фирмой Intel выпущен первый микропроцессор (МП) – изготовлены и реализованы 4-разрядные МП 4004 и 8-разрядные 8008.

1974 г. – МП Intel 8080, который обрабатывает 8-разрядные слова и имеет 16-разрядные адресную шину и указатель стека. Его улучшенным вариантом является МП Intel 8085, в котором содержатся генератор тактовых импульсов, система управления и устройство определения приоритета прерываний, интеграция которых снижает число составляющих микропроцессорную систему ИС. Микропроцессор Intel 8085 работает также с единственным уровнем питающего напряжения + 5 В. Он использует те же команды, что и МП Intel 8080, что делает оба устройства совместимыми. Наконец, Intel 8085 имеет две дополнительные команды, располагая, таким образом, большими возможностями благодаря содержащимся в нём дополнительным аппаратным средствам.

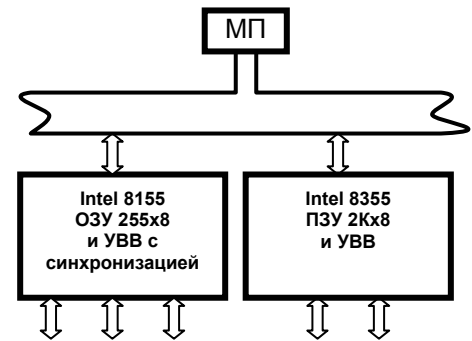


Рисунок 1 – Функциональная схема простой микропроцессорной системы с микросхемами интерфейса

Типовой МП был упрощённой версией МП Intel 8080/8085, поэтому довольно просто понять его действия.

Более глубокая функциональная интеграция с меньшим числом интегральных схем (ИС) является эволюционным свойством МП. Совсем недавно простая система могла содержать до 20 – 30 ИС.

Представленная на рисунке 1 система содержит их только три. В ней использован МП Intel 8085, который управляет шиной системы и двумя другими специальными ИС интерфейса с периферией. Составляющие интерфейса, представленные на рисунке 1 являются ИС Intel 8155 и 8355.

Микросхема 8155 содержит 2048 бит памяти статического ОЗУ, организованного в память 256x8 бит; она содержит также три порта ВВ и синхронизатор. Два порта ВВ являются универсальными по 8 бит каждый. Третий (6 бит) может быть использован как порт ввода, вывода или в качестве системы сигналов управления для двух других 8-разрядных портов. Схема 8185 программируема и содержит регистр состояния и 14-разрядный счётчик-синхронизатор.

Микросхема 8355 является интерфейсом периферии, содержит ПЗУ ёмкостью 16 384 бит, организованное в память 2048x6 бит, и два универсальных порта ВВ по 8 бит каждый.

Схема и назначение выводов

Восьмиразрядный МП Intel 8085 заключён в корпус DIP (с двусторонней упаковкой выводов) с 40 выводами, расположение которых приведено на рисунке 2. В таблице 1 приведено название выводов и их назначение.

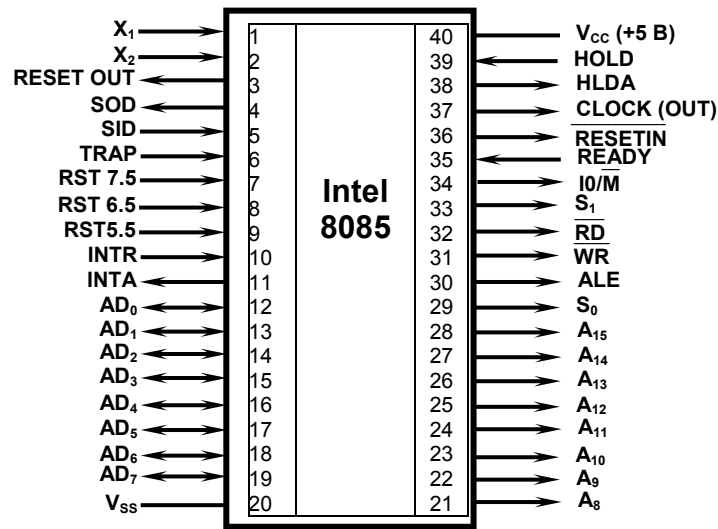


Рисунок 2 – Расположение выводов МП Intel 8085

Таблица 1 – Назначение выводов		
Выводы	Назначение	Описание
AD ₀ – AD ₇	Двунаправленная, три состояния	Шина адреса/данных
AD ₈ – AD ₁₅	Выход, три состояния	Шина адреса
ALE	Выход*	Разрешение захвата адреса
RD	Выход, три состояния	Управление считыванием
WR	Выход, три состояния	Управление записью
IO/M	Выход, три состояния	Указатель ВВ или памяти
S ₀ , S ₁	Выход	Указатель состояния Нины
READY	Вход	Вызов состояния ожидания
SID	Вход	Ввод последовательных данных
SOD	Выход	Вывод последовательных данных
HOLD	Вход	Требование захвата
HLDA	Выход	Подтверждение состояния захвата
INTR	Вход	Запрос прерывания
TRAP	Вход	Запрос немаскированного прерывания
RST 5.5 RST 6.5 RST 7.5	Вход	Запрос аппаратного векторного прерывания
INTA	Выход	Подтверждение запроса на прерывания
RESET IN	Вход	Сброс системы
RESET OUT	Выход	Сброс периферии
X ₁ , X ₂	Вход	Соединение кристалла или внешнего ГТИ
CLK	Выход	Сигнал внутреннего ГТИ
V _{CC} , V _{SS}	–	Питание, земля

* – три состояния для 8085, но не для 8080

Поставляемая разработчиками документация уточняет, идёт ли речь об Intel 8085 или 8085A (мало изменённая версия 8085).

Типовой МП имел 16 выводов адресных линий и восемь для подсоединения шины данных. Располагая дополнительными возможностями Intel8085 в DIP-корпусе с 40 выводами не требует дополнительных выводов для обеспечения всех входов и выходов; по этой причине выводы с 12 по 19 использованы как равноценные линии шины адреса/данных (AD₀ – AD₇). Поэтому этот микропроцессор называется устройством с мультиплексированной шиной данных/адреса. Адресные шины восьми младших разрядов разделяют выводы с линиями шины данных. Мультиплексировать – значит выбирать линии поочерёдно. При таких определениях мультиплексировать шину адреса/данных означает использовать сначала шину для передачи адреса, затем использовать её же для выдачи или получения данных. микропроцессор Intel 8085 снабжён специальным сигналом для того, чтобы информировать периферийные устройства, производит ли мультиплексированная шина операции на адресной шине или на шине данных. Это специальный сигнал, называемый сигналом разрешения адреса (ALE).

Необходимо отметить, что выводы мультиплексированной шины двунаправлены или могут быть в положении трёх состояний. Вывод управления ALE является выходным.

МП Intel 8085 (как и типовой процессор) имеет 16 адресных линий. Восемь старших разрядов выведены на выводы A₈–A₁₅.. Как и в случае типового МП, подсоединение к шинам прямое. Эти выводы являются выходами или могут быть в состоянии высокого

сопротивления (в третьем состоянии). Другие выводы, идентичные выводам типового МП, являются выводами питания V_{CC} и V_{SS} , подсоединёнными к источнику + 5 В. Ми

МП Intel 8085 снабжён внутренним генератором тактовых импульсов, входы которого X_1 и X_2 обычно соединены с кристаллом. Внутренняя частота МП является половиной частоты кристалла.

Многие выводы МП Intel 8085, показанные на рисунке 2, выполняют функции управления :

\overline{RD} и \overline{WR} – аналогичные рассмотренным для типового МП – используются для информации устройства памяти или УВВ, т. е. определяют, наступило ли время послать или принять данные по шине данных (в этом случае по мультиплексированной шине).

(RESET IN) – вход сброса действует так же, как это было в типовом МП при сбросе в 0000H счётчика команд. Шины адреса, данных и линии управления находятся в состоянии высокого сопротивления в ходе сброса. Когда МП сбрасывается, вывод RESET OUT (относится к операции сброса) выдаёт сигнал в периферийные устройства, информируя их, что операция сброса закончена.

CLK МП – выход генератора тактовых импульсов Intel 8085 функционирует, как и в типовом МП.

INTR – вход запроса прерывания в МП Intel 8085 является универсальным прерыванием (как в типовом МП), однако существует различие в том смысле, что прерывание INTR в МП Intel 8085 может быть разрешено или запрещено командами программы. Кроме входа нормального запроса на прерывание (INTR) МП Intel 8085 снабжён четырьмя другими прерываниями :

TRAP, RST7.5, RST6.5, RST5.5, INTR (от прерывания наивысшего приоритета до самого нижнего, соответственно). Сигнал TRAP или один из трёх сигналов RST влекут за собой ветвление МП по вызываемому специальному адресу. Команды рестартов RST могут быть разрешены или запрещены программно, но прерывания по входу TRAP таким образом запрещены быть не могут. Запрос на прерывание INTR вызывает переход к новому адресу, указанному специальной командой, выданной периферией, когда активизируется выход, подтверждающий получение запроса на прерывание (INTR).

SID и SOD – это слаборазвитые ввод и вывод последовательных данных, соответственно. Отдельный бит данных на выводах SID загружается в наиболее значимый разряд (бит 7) аккумулятора командой RIM в МП Intel 8085. Вывод выхода SOD активизируется или сбрасывается командой SIM в МП.

READY – это вход, который информирует МП, что периферия готова выдать или принять данные. Если READY имеет L-уровень в цикле считывания или записи, МП его интерпретирует как требование перейти в состояние ожидания. В этих условиях МП будет ждать до тех пор, пока периферия не просигнализирует, что она готова передать или получить данные. Затем будем продолжать выполнение цикла записи или считывания. Вход READY удобен при использовании очень медленных по сравнению со скоростью обработки данных в МП устройств памяти или периферии.

HOLD – входной сигнал требования захвата – оповещает МП, что другое устройство хочет использовать шины адреса и данных (это может производиться в ходе ПДП). По получении сигнала HOLD МП завершает текущую операцию, затем выводит данные и адреса

\overline{RD} , \overline{WR} и $\overline{IO/M}$ переводятся в третье состояние, т. е. исключается взаимодействие с передачами данных на шинах.

HLDA – выход подтверждение состояния захвата указывает периферии, что запрос HOLD был получен и микропроцессор не будет управлять шинами в следующем цикле тактовых импульсов..

$\overline{IO/W}$, S_0 и S_1 – выходы, являющиеся сигналами управления, которые информируют периферию о типе машинного цикла, выполняемого МП, (см. таблицу 2).

Таблица 2 – Машинные циклы МП Intel 8085			
Сигналы управления МП 8085			Состояние машинного цикла
$\overline{IO/M}$	S_1	S_0	
0	0	1	Запись в память
0	1	0	Считывание из памяти
1	0	1	Запись в УВВ
1	1	0	Извлечение из УВВ
0	1	1	Извлечение КОП
1	1	1	Подтверждение запроса на прерывание
*	0	0	Останов
*	**	**	Ожидание
*	**	**	Сброс

Примечания :
* – третье состояние (высокое сопротивление);
** – не оговаривается.

Архитектура МП INTEL 8085

Функциональная схема (архитектура) МП Intel 8085 приведена на рисунке 3.

МП имеет 16-разрядный счётчик команд и защёлку адреса, которая загружает специализированную адресную ($A_{15} - A_8$) и мультиплексированную ($AD_7 - AD_0$) шины. Параллельные данные входят в МП и покидают его через ($AD_7 - AD_0$). Эта шина передаёт адрес, когда линия управления ALE получает H-сигнал, и данные – когда L-сигнал.

По 8-разрядной внутренней шине входящие и выходящие данные вводятся внутрь устройства. Они могут поступать с внутренней шины данных в следующие части МП :

- 8-разрядный аккумулятор;
- регистр временного хранения;
- индикаторы;
- регистр команд;
- устройство управления;
- какой-либо из регистров общего назначения (B, C, D, E, H, L);
- 16-разрядный указатель стека;
- 16-разрядный счётчик команд;
- 8-разрядный буфер адреса/данных.

Арифметико-логическое устройство загружается двумя 8-разрядными регистрами (аккумулятором и регистром временного хранения), как в типовом МП.

Регистр состояний содержит пять индикаторов состояния вместо двух, как это было в типовом МП.

Регистр команд связан с дешифратором, который определяет текущую команду, требуемую микропрограмму или следующий машинный цикл, а затем информирует схему управления и синхронизации о последовательности действий. Эта схема координирует действия МП и периферии.

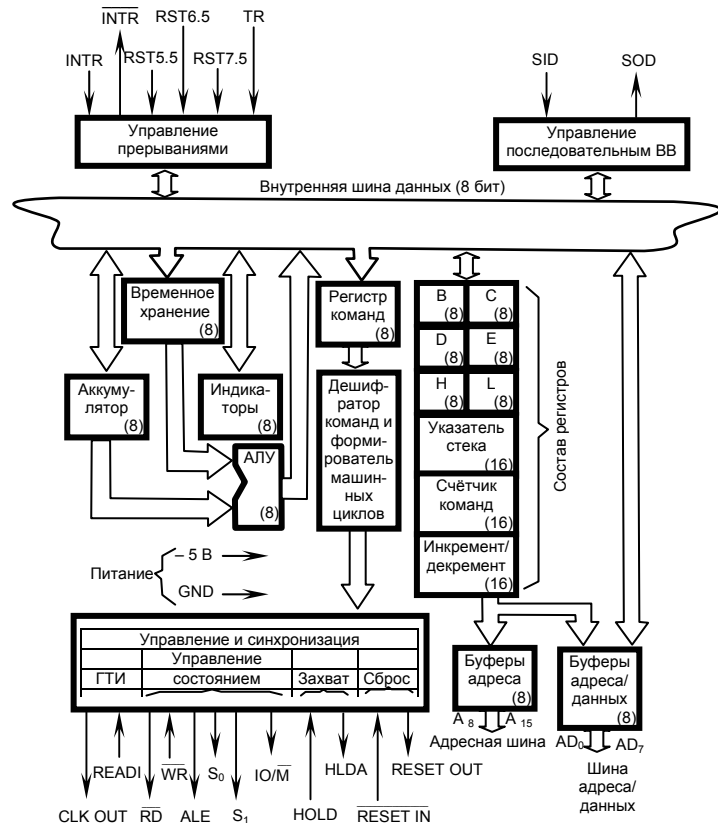


Рисунок 3 – Функциональная схема МП Intel 8085 (архитектура)

Регистры

Как и в случае типового МП в состав МП Intel 8085 входят в 8- и 16-разрядные регистры. Адресуемых 8-разрядных регистров здесь восемь, шесть из которых (регистры общего назначения) могут быть использованы или как 8-разрядные, или могут объединяться в три 16-разрядные пары. Кроме того, МП Intel 8085 содержит два 16-разрядных регистра.

1. **Аккумулятор** (или регистр А) – 8-разрядный регистр – является ядром всех операций МП, к которым относятся арифметические, логические, загрузки или размещения данных и ВВ.

2. **Регистры общего назначения** BC, DE и HL могут быть использованы как шесть 8-разрядных или три 16-разрядные пары регистров в зависимости от текущей выполняемой команды.

HL – указатель данных (может быть использован и для указания адреса).

BC и DE – регистры хранения данных – несколько команд используют их в качестве указателя адреса,

3. **Счётчик команд** PC всегда указывает на ячейку памяти следующей для выполнения команды.

4. **Указатель стека** SP – 16-разрядный регистр – является специальным регистром – указателем адреса (или данных), который всегда указывает на вершину стека в ОЗУ.

5. **Регистр состояния** (или индикаторов) – пять одноразовых индикаторов, содержащих информацию, относящуюся к состоянию МП.

Эти указатели используются условными ветвлениями программы, вызовами подпрограмм и возвратами из подпрограмм.

Индикаторы

Пять индикаторов МП Intel 8085 представлены на рисунке 4.

CY – индикатор переноса – устанавливается или сбрасывается в результате выполнения арифметических операций. Его состояние проверяется командами программы.

При сложении переполнение 8 бит устанавливает 1 в CY.

При вычитании, когда CY установлен, это указывает, что вычитаемое больше уменьшаемого.

Z – индикатор нуля – устанавливается, когда результатом некоторых операций является «0», в противном случае он сбрасывается.

S – индикатор знака – устанавливается в зависимости от состояния наиболее значимого бита после выполнения арифметических или логических команд. Эти команды используют самый старший бит данных для того, чтобы представить знак числа, содержащегося в аккумуляторе.

Установленный индикатор – отрицательная величина.

Сброшенный индикатор – положительная величина.

AC – индикатор вспомогательного переноса – используется при выполнении операций двоично-десятичной арифметики и показывает переполнение или перенос в третьем разряде аккумулятора таким образом, как индикатор переноса (CY) показывает переполнение или перенос в седьмом разряде.

P – индикатор чётности – проверяет число единиц в аккумуляторе и устанавливается в «1» при чётном числе и в «0» при нечётном.

b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	b ₀
S	Z		AC		P		CY
Знак	Ноль		Вспомогательный перенос		Чётность		Перенос

Рисунок 4 – Индикаторы

Указатель стека

SP – указатель стека – указывает адрес последнего помещённого в стек байта.

Арифметико-логическое устройство

АЛУ – арифметико-логическое устройство – выполняет арифметические, логические операции и операции передачи данных, результаты которых помещаются в аккумулятор.

Регистр команд и дешифратор

При извлечении команды её первый байт (КОП) передаётся в 8-разрядный регистр команд, содержание которого доступно дешифратору, управляющему регистрами, АЛУ, буферами адреса и данных.

Внутренний генератор тактовых импульсов

Кристалл МП Intel 8085 содержит законченный генератор тактовых импульсов с буферным выводом CLK, необходимым для синхронизации работы МП и кварцевого генератора.

Прерывания

Пять входов аппаратного прерывания представлены в таблице 3.

Ввод и вывод последовательных данных

Выводы, предназначенные для ввода и вывода последовательных данных в МП Intel 8085, способствуют минимизации числа кристаллов в малой системе, составляя интерфейс последовательного порта. используют две специальные команды RIM и SIM.

RIM – передача данных с входа SID в один из индикаторов аккумулятора.

SIM – вывод данных через выход SOD.

Способы адресации

МП Intel 8085 использует пять способов адресации :

– *неявная* - команда STC (восстановить индикатор переноса) относится исключительно к указанному индикатору и не к чему более;

– *регистровая* - операция и источник операнда точно определены, команды очень эффективны, т. к. используют только один байт памяти, и быстро выполняемы, потому что не используют операцию извлечения данных из памяти;

– *непосредственная* – использует команды, по которым данные следуют непосредственно за КОП;

– *прямая* – описывается трёхбайтовым форматом команд :1-ый – КОП, 2-ой – МБ (младший байт), 3-ий – СБ (старший байт);

– *косвенная регистровая* – команды обращаются в память, используя пару регистров для указания на адрес операнда

Дополнительно имеется *комбинированный способ*, который использует сочетания различных способов адресации.

Состав команд

МП Intel 8080/8085 имеет следующие группы команд :

– группа передачи –предназначена для передачи данных между регистрами или памятью и регистрами;

– группа арифметическая – выполняет операции сложения, вычитания, инкремента, декремента над данными в регистрах или в памяти;

– группа логическая – выполняет операции И, ИЛИ, ИЛИ ИСКЛЮЧАЮЩЕЕ, сравнения, перемещения и инвертирования данных в регистрах или между данными в памяти и регистре;

– группа ветвления – вызывает ветвления (переходы) условные или безусловные, вызовы, возвраты и повторные запуски;

– группа стека, ВВ и машинного управления – понимает команды операций со стеком, считывания в портах ввода, записи в порты вывода, инициализации и считывания маскированных прерываний и установки и сброса индикаторов.

Состав команд приведён в таблице 4.

Таблица 3 – Прерывания			
Выводы	Приоритет	Адрес стека перед ветвлением	Тип прерывания
TRAP	1	24H	Положительный фронт и высокий уровень до выбора
RST7.5	2	3CH	Положительный фронт (захват)
RST6.5	3	34H	Высокий уровень до выбора
RST5.5	4	2CH	
INTR	5	*	

Примечание – * - согласно специальной команде, когда прерывание признано.

блиц 4 – Состав команд														
Мнемоника	КОП	Описание		Мнемоника	КОП	Описание		Мнемоника	КОП	Описание				
ADD	A	87	Сложить A с A (удвоение A)	INR	L	2C	Инкрементировать L	ORA	A	B7	Проверить A и сбросить перенос			
ADD	B	80	Сложить B с A	INR	M	34	Инкрементировать содержимое памяти LOC (HL)	ORA	B	B0	Логическая операция B ИЛИ A			
ADD	C	81	Сложить C с A	INX	B	03	Инкрементировать BC	ORA	C	B1	Логическая операция C ИЛИ A			
ADD	D	82	Сложить D с A	INX	D	13	Инкрементировать DE	ORA	D	B2	Логическая операция D ИЛИ A			
ADD	E	83	Сложить E с A	INX	H	23	Инкрементировать HL	ORA	E	B3	Логическая операция E ИЛИ A			
ADD	H	84	Сложить H с A	INX	SP	33	Инкрементировать SP	ORA	H	B4	Логическая операция H ИЛИ A			
ADD	L	85	Сложить L с A					ORA	L	B5	Логическая операция L ИЛИ A			
ADD	M	86	Сложить содержимое памяти LOC (HL) с A	JMP	aa	C3	Перейти по адресу aa	ORA	M	B6	Содержимое ячейки памяти LOC (HL) ИЛИ A			
				JZ	aa	CA	Перейти по адресу aa, если ноль	ORI	u	F6	Непосредственно следующие данные u ИЛИ A			
ADI	u	C6	Сложить непосредственно данные u с A	JNZ	aa	C2	Перейти по адресу aa, если не ноль	OUT	u	D3	Вывести содержимое A по адресу u			
				JP	aa	F2	Перейти по адресу aa, если плюс	PCHL		E9	Передать содержимое H и L в PC (счётчик команд)			
ADC	A	8F	Сложить A с A с переносом (удвоение A)	JM	aa	FA	Перейти по адресу aa, если минус	POP	B	C1	Извлечь из стека содержимое пары регистров BC			
				JC	aa	DA	Перейти по адресу aa, если перенос	POP	D	D1	Извлечь из стека содержимое пары регистров DE			
ADC	B	88	Сложить B с A с переносом	JNC	aa	D2	Перейти по адресу aa, если не перенос	POP	H	E1	Извлечь из стека содержимое пары регистров HL			
ADC	C	89	Сложить C с A с переносом	JPE	aa	EA	Перейти по адресу aa, если паритет чётный	POP	PSW	F1	Извлечь из стека слово состояния процессора PSW			
ADC	D	8A	Сложить D с A с переносом	JPO	aa	E2	Перейти по адресу aa, если паритет не чётный	PUSH	B	C5	Загрузить в стек содержимое пары регистров BC			
ADC	E	8B	Сложить E с A с переносом	LDA	aa	3A	Загрузить A из источника с адресом aa	PUSH	D	D5	Загрузить в стек содержимое пары регистров DE			
ADC	H	8C	Сложить H с A с переносом	LDAX	B	0A	Загрузить A из ячейки памяти LOC (BC)	PUSH	H	E5	Загрузить в стек содержимое пары регистров HL			
ADC	L	8D	Сложить L с A с переносом	LDAX	D	1A	Загрузить A из ячейки памяти LOC (DE)	PUSH	PSW	F5	Загрузить в стек содержимое пары регистров PSW			
ADC	M	8E	Сложить память LOC (HL) с A с переносом	LHLD	aa	2A	Загрузить HL из источника с адресом aa	RAL		17	Переместить циклически CY+A влево			
				LXI	B	01	Загрузить BC непосредственно следующими данными	RAR		1F	Переместить циклически CY+A вправо			
ACI	u	CE	Сложить непосредственно данные u с A с переносом	LXI	D	11	Загрузить DE непосредственно следующими данными	RLC		07	Переместить A влево с переносом			
				LXI	H	21	Загрузить HL непосредственно следующими данными	RRC		0F	Переместить A вправо с переносом			
ANA	A	A7	Тест A	LXI	SP	31	Загрузить SP непосредственно следующими данными	RIM		20	Читать маску прерывания (только Intel 8085)			
ANA	B	A0	Логическая операция И B И A	MOV	A,B	78	Передать данные из B в A	RET		C9	Возврат из подпрограммы			
ANA	C	A1	Логическая операция И C И A	MOV	A,C	79	Передать данные из C в A	RZ		C8	Возврат из подпрограммы, если ноль			
ANA	D	A2	Логическая операция И D И A	MOV	A,D	7A	Передать данные из D в A	RNZ		C0	Возврат из подпрограммы, если не ноль			
ANA	E	A3	Логическая операция И E И A	MOV	A,E	7B	Передать данные из E в A	RP		F0	Возврат из подпрограммы, если плюс			
ANA	H	A4	Логическая операция И H И A	MOV	A,H	7C	Передать данные из H в A	RM		F8	Возврат из подпрограммы, если минус			
ANA	L	A5	Логическая операция И L И A	MOV	A,L	7D	Передать данные из L в A	RC		D8	Возврат из подпрограммы, если перенос			
ANA	M	A6	Память LOC (HL) И A	MOV	A,M	7E	Передать данные из ячейки памяти LOC (HL) в A	RNC		D0	Возврат из подпрограммы, если нет переноса			
ANI	u	E6	Непосредственно следующие данные u И A	MOV	B,A	47	Передать данные из A в B	RPE		E8	Возврат из подпрограммы, если чётный паритет			
				MOV	B,C	41	Передать данные из C в B	RPO		E0	Возврат из подпрограммы, если нечётный паритет			
CALL	aa	CD	Вызвать подпрограмму по адресу aa	MOV	B,D	42	Передать данные из D в B	RST	0	CF	Повторный запуск программы с адреса 00H			
CZ	aa	CC	Вызвать подпрограмму по адресу aa, если ноль	MOV	B,E	43	Передать данные из E в B	RST	1	CF	Повторный запуск программы с адреса 08H			
				MOV	B,H	44	Передать данные из H в B	RST	2	D7	Повторный запуск программы с адреса 10H			
CNZ	aa	C4	Вызвать подпрограмму по адресу aa, если не ноль	MOV	B,L	45	Передать данные из L в B	RST	3	DF	Повторный запуск программы с адреса 18H			
				MOV	B,M	46	Передать данные из ячейки памяти LOC (HL) в B	RST	4	E7	Повторный запуск программы с адреса 20H			
CP	aa	F4	Вызвать подпрограмму по адресу aa, если плюс	MOV	C,A	4F	Передать данные из A в C	RST	5	EF	Повторный запуск программы с адреса 28H			
				MOV	C,B	48	Передать данные из B в C	RST	6	F7	Повторный запуск программы с адреса 30H			
CM	aa	FC	Вызвать подпрограмму по адресу aa, если минус	MOV	C,D	4A	Передать данные из D в C	RST	7	FF	Повторный запуск программы с адреса 38H			
				MOV	C,E	4B	Передать данные из E в C	SIM		30	Установить маску прерывания (только Intel 8085)			
CC	aa	DD	Вызвать подпрограмму по адресу aa, если перенос	MOV	C,H	4C	Передать данные из H в C	SPHL		F9	Загрузить SP из HL			
				MOV	C,L	4D	Передать данные из L в C	SHDL	aa	22	Поместить HL в память по адресу aa			
CNC	aa	D4	Вызвать подпрограмму по адресу aa, если не перенос	MOV	C,M	4E	Передать данные из ячейки памяти LOC (HL) в C	STA	aa	32	Поместить A в память LOC по адресу aa			
				MOV	D,A	57	Передать данные из A в D	STAX	B	02	Поместить A в память LOC (BC)			
CPE	aa	EC	Вызвать подпрограмму по адресу aa, если чётно	MOV	D,B	50	Передать данные из B в D	STAX	D	12	Поместить A а память LOC (DE)			
				MOV	D,C	51	Передать данные из C в D	STC		37	Установить индикатор переноса			
CPO	aa	E4	Вызвать подпрограмму по адресу aa, если нечётно	MOV	D,E	53	Передать данные из E в D	SUB	A	97	Вычесть A из A (очистить аккумулятор)			
				MOV	D,H	54	Передать данные из H в D	SUB	B	90	Вычесть B из A			
CMA		2F	Инвертировать A	MOV	D,L	55	Передать данные из L в D	SUB	C	91	Вычесть C из A			
CMC		3F	Инвертировать перенос	MOV	D,M	56	Передать данные из ячейки памяти LOC (HL) в D	SUB	D	92	Вычесть D из A			
CMP	A	BF	Установить индикатор нуля операций (A) – (A)	MOV	E,A	5F	Передать данные из A в E	SUB	F	93	Вычесть E из A			
				MOV	E,B	58	Передать данные из B в E	SUB	H	94	Вычесть H из A			
CMP	B	B8	Сравнить A с B	MOV	E,C	59	Передать данные из C в E	SUB	L	95	Вычесть L из A			
CMP	C	B9	Сравнить A с C	MOV	E,D	5A	Передать данные из D в E	SUB	M	96	Вычесть содержимое памяти LOC (HL)из A			
CMP	D	BA	Сравнить A с D	MOV	E,H	5C	Передать данные из H в E	SUI	u	D6	Вычесть непосредственно следующие данные u из A			
CMP	E	BB	Сравнить A с E	MOV	E,L	5D	Передать данные из L в E	SBB	A	9F	Вычесть A из A (очистить аккумулятор)			
CMP	H	BC	Сравнить A с H	MOV	E,M	5E	Передать данные из ячейки памяти LOC (HL) в E	SBB	B	98	Вычесть с заёмом B из A			
CMP	L	BD	Сравнить A с L	MOV	H,A	67	Передать данные из A в H	SBB	C	99	Вычесть с заёмом C из A			
CMP	M	BE	Сравнить A с содержимым памяти LOC (HL)	MOV	H,B	60	Передать данные из B в H	SBB	D	8A	Вычесть с заёмом D из A			
				MOV	H,C	61	Передать данные из C в H	SBB	E	9B	Вычесть с заёмом E из A			
CPI	u	FC	Сравнить A с непосредственно следующими данными	MOV	H,D	62	Передать данные из D в H	SBB	H	9C	Вычесть с заёмом H из A			
				MOV	H,E	63	Передать данные из E в H	SBB	L	9D	Вычесть с заёмом L из A			
DAA		27	Десятичная коррекция аккумулятора	MOV	H,L	65	Передать данные из L в H	SBB	M	9E	Вычесть с заёмом содержимое памяти LOC (HL) из A			
DAD	B	09	Сложить BC с HL	MOV	H,M	66	Передать данные из ячейки памяти LOC (HL) в H	SBI	u	DE	Вычесть с заёмом непосредственные данные u из A			
DAD	D	19	Сложить DE с HL	MOV	L,A	6F	Передать данные из A в L				Обмен содержимых пар регистров DE и HL			
DAD	H	29	Сложить HL с HL (удвоение HL)	MOV	L,B	68	Передать данные из B в L	XCHG		EB				
DAD	SP	39	Сложить SP с HL	MOV	L,C	69	Передать данные из C в L							
DCR	A	3D	Декрементировать A	MOV	L,D	6A	Передать данные из D в L	XCHL		E3	Обмен вершины стека с содержимым пары регистров HL			
DCR	B	05	Декрементировать B	MOV	L,E	6B	Передать данные из E в L	XRA	A	AF	Логическая операция A ИЛИ ИСКЛЮЧАЮЩЕЕ A (очистка A)			
DCR	C	0D	Декрементировать C	MOV	L,H	6C	Передать данные из H в L	XRA	B	A8	Логическая операция B ИЛИ ИСКЛЮЧАЮЩЕЕ B			
DCR	D	15	Декрементировать D	MOV	L,M	6E	Передать данные из ячейки памяти LOC (HL) в L	XRA	C	A9	Логическая операция C ИЛИ ИСКЛЮЧАЮЩЕЕ C			
DCR	E	1D	Декрементировать E	MOV	M,A	77	Передать данные в ячейку памяти LOC (HL) из A	XRA	D	AA	Логическая операция D ИЛИ ИСКЛЮЧАЮЩЕЕ D			
DCR	H	25	Декрементировать H	MOV	M,B	70	Передать данные в ячейку памяти LOC (HL) из B	XRA	E	AB	Логическая операция E ИЛИ ИСКЛЮЧАЮЩЕЕ E			
DCR	L	2D	Декрементировать L	MOV	M,C	71	Передать данные в ячейку памяти LOC (HL) из C	XRA	H	AC	Логическая операция H ИЛИ ИСКЛЮЧАЮЩЕЕ H			
DCR	M	35	Декрементировать содержимое памяти LOC (HL)	MOV	M,D	72	Передать данные в ячейку памяти LOC (HL) из D	XRA	L	AD	Логическая операция L ИЛИ ИСКЛЮЧАЮЩЕЕ L			
				MOV	M,E	73	Передать данные в ячейку памяти LOC (HL) из E	XRA	M	AE	Содержимое памяти LOC (HL) ИЛИ ИСКЛЮЧАЮЩЕЕ M			
DCX	B	0B	Декрементировать BC	MOV	M,H	74	Передать данные в ячейку памяти LOC (HL) из H	XRI	u	EE	Непосредственные данные u ИЛИ ИСКЛЮЧАЮЩЕЕ u			
DCX	D	1B	Декрементировать DE	MOV	M,L	75	Передать данные в ячейку памяти LOC (HL) из L							
DCX	H	2B	Декрементировать HL	MVI	A, u	3E	Передать непосредственно следующие данные u в A							
DCX	SP	3B	Декрементировать SP	MVI	B, u	06	Передать непосредственно следующие данные u в B							
DI		F3	Не признавать прерывание	MVI	C, u	0E	Передать непосредственно следующие данные u в C							
EI		F6	Признать прерывание	MVI	D, u	1E	Передать непосредственно следующие данные u в D							
HLT		76	Остановить микропроцессор	MVI	E, u	16	Передать непосредственно следующие данные u в E							
IN	u	DB	Ввести данные с устройства u	MVI	H, u	26	Передать непосредственно следующие данные u в H							
INR	A	3C	Инкрементировать A	MVI	L, u	2E	Передать непосредственно следующие данные u в L							
INR	B	04	Инкрементировать B	MVI	M, u	36	Передать непосредственно следующие данные u в LOC (HL)							
INR	C	0C	Инкрементировать C											
INR	D	14	Инкрементировать D	NOP		00	Нет операций							
INR	E	1C	Инкрементировать E											
INR	H	24	Инкрементировать H											