

**СКВОЗНОЕ ПРОЕКТИРОВАНИЕ
ФУНКЦИОНАЛЬНЫХ УЗЛОВ РЭС
НА ПЕЧАТНЫХ ПЛАТАХ
В САПР ALTIUM DESIGNER 6**

Санкт-Петербург
2008

Федеральное агентство по образованию
Санкт-Петербургский государственный электротехнический
университет “ЛЭТИ”

В. Ю. СУХОДОЛЬСКИЙ

**СКВОЗНОЕ ПРОЕКТИРОВАНИЕ
ФУНКЦИОНАЛЬНЫХ УЗЛОВ РЭС
НА ПЕЧАТНЫХ ПЛАТАХ
В САПР ALTIUM DESIGNER 6**

Учебное пособие
Часть 1

Санкт-Петербург
Издательство СПбГЭТУ “ЛЭТИ”
2008

УДК 621.396.6.001.66 (075)

ББК 3 844:1–02–5–05я7

С 89

Суходольский В. Ю.

С 89 Сквозное проектирование функциональных узлов РЭС на печатных платах в САПР Altium Designer 6.: Учебное пособие. Часть 1. СПб.: Изд-во СПбГЭТУ “ЛЭТИ”, 2008. 152 с.

ISBN 5 – 7629 – 0895 – X

Дается обзор основных возможностей интегрированной САПР функциональных узлов РЭС на печатных платах Altium Designer 6 и рассматриваются практические приемы работы в процессе выполнения этапов сквозного конструкторского проектирования функциональных узлов РЭС на печатных платах.

Предназначено для студентов направлений 210200 “Радиотехника” и 210201 “Проектирование и технология электронных средств”, а также может быть полезно инженерам и конструкторам НИИ и КБ радиоэлектронного профиля.

УДК 621.396.6.001.66 (075)

ББК 3 844:1–02–5–05я7

Рецензенты: кафедра ТиМ СПбГУТ им. проф. М. А. Бонч-Бруевича; д-р техн. наук, проф. П. П. Бескид (Российский государственный гидрометеорологический университет).

Утверждено

редакционно-издательским советом университета
в качестве учебного пособия

ISBN 5 – 7629 – 0895 – X

© СПбГЭТУ “ЛЭТИ”, 2008

ВВЕДЕНИЕ

Программные продукты САПР австралийской фирмы Protel Technologies, предназначенные для проведения сквозного проектирования функциональных узлов РЭС, известны с 90-х гг. На рынок последовательно выходили версии Tango PRO, Protel 99 SE (1999 г.), Protel DXP (2002–2004 гг.). Права на продукты Protel в 2005 г. перешли к фирме Altium Ltd., и в настоящее время версия Protel DXP [1], получившая определенное развитие, вышла на рынок под именем Altium Designer 6. Это современная мощная “сквозная” САПР, превосходящая многие другие по эффективности.

Отличительной особенностью ее является возможность проектировать функциональные узлы на микросхемах программируемой логики (ПЛИС, или FPGA в англоязычной лексике). Для этого используется как обычный схемный ввод исходных данных, так и ввод описания логики на языке описания схем VHDL. Это позволяет модернизировать проекты, ранее разработанные на микросхемах малой и средней степени интеграции, выполнив их на ПЛИС, и разрабатывать новые проекты на ПЛИС непосредственно в среде Altium Designer. Допускается также импорт входных данных из других САПР, например P-CAD, OrCAD, PADS.

Фирма Altium Ltd, обладающая также правами на продукты P-CAD, в 2006 г. приняла решение прекратить дальнейшее развитие продуктов P-CAD, заканчивая версией 2006, полностью перейти на Altium Designer 6 и в дальнейшем развивать только этот продукт. Фирма при этом заверяет пользователей, обладающих лицензией на P-CAD, что благодаря развитым средствам конверсии форматов данных они не испытают неудобств и не потерпят ущерба при переходе с P-CAD на Altium Designer.

Показатели популярности различных САПР в нашей стране (см. таблицу), определенные по результатам опроса 330 отечественных специалистов, занятых проектированием печатных плат, не отражают оптимизма фирмы Altium Ltd. Данные приведены выборочно: всего опрос касался более 20 различных САПР. Эти сведения были опубликованы в 2006 г. на форуме Интернет-сайта www.pcad.ru. Из них следует, что продукты семейства Protel пользуются определенной популярностью, но Altium Designer 6 на момент [опроса не использовал ни один из 330 участников опроса.](#)

САПР	Количество ответов	Процент пользователей
PCAD 2000...2006	165	47.01
ORCAD (Cadence)	41	11.68
Protel DXP (Altium)	28	7.98
Protel 99SE	17	4.84

Данных по приверженности зарубежных специалистов тому или иному семейству продуктов САПР автору найти не удалось, однако дискуссия на форуме сайта производителя www.altium.com показывает определенную озабоченность разработчиков перспективой отказа от продукта P-CAD.

Представляется, что возможность выполнения проектов с использованием интегральных микросхем программируемой логики (ПЛИС, они же FPGA) в интегрированной среде Altium Designer даст этому программному комплексу преимущества перед конкурентами и изменит приведенное соотношение в пользу продуктов Altium Designer.

При всех своих достоинствах Altium Designer 6, однако, как и другие “электронные” САПР, не дает возможности провести полный цикл сквозного проектирования изделия, включающий этап выпуска конструкторской документации по ЕСКД. Конечным результатом работы “электронных” САПР является интегральный графический образ печатной платы и файлы управляющей информации для автоматизированного производства печатных плат. Этой информации достаточно для “бездокументного” производства, но принятые на производстве системы ведения рабочей конструкторской документации предполагают кроме этого выпуск комплекта рабочей конструкторской документации на “твердом” (бумажном) или “электронном” носителе – в виде файлов в памяти ЭВМ. Проведенные в 2006 г. обновления ЕСКД уравнивают равноправный статус электронных и бумажных конструкторских документов, не отменяя при этом последние.

Для выполнения этой части сквозного проектирования приходится пользоваться связками САПР, одни из которых выполняют разработку “электронной” части радиоэлектронного функционального узла (РЭФУ), а другие – “машиностроительную” часть сквозного проекта.

В данном пособии не рассматривается еще один этап проектирования – технологический, выполнение которого представляет самостоятельную сложную задачу и обеспечивается специализированными САПР, требующими описания в отдельных учебных пособиях.

В предлагаемом учебном пособии будут рассмотрены основные функции и приемы работы по проектированию радиоэлектронных функциональных узлов в среде Altium Designer 6.

1. СОСТАВ И ОСНОВНЫЕ ФУНКЦИИ ALTIUM DESIGNER 6

Рассмотрим состав интегрированной САПР радиоэлектронных функциональных узлов Altium Designer 6 и охарактеризуем основные функции входящих в нее компонентов*:

1. Интегрирующая оболочка DXP (аббревиатура от Design eXplorer), организующая среду проектирования и объединяющая составные части выполняемой разработки в проект.

2. Базовые средства проектирования (Foundation). К ним относятся компоненты Altium Designer 6, обеспечивающие:

- формирование библиотек компонентной базы;
- просмотр и редактирование электрической схемы;
- схемотехническое моделирование (средства PSpice и XSPICE);
- моделирование логики на основе VHDL-описаний;
- анализ, на этапе разработки электрической схемы, расщеплений фронтов сигналов быстродействующей логики за счет отражений волны на концах печатных проводников (средства Signal Integrity);

• средства подготовки монтажного поля печатной платы, определения структуры слоев платы, правил выполнения печатного монтажа, импорта описания схемы (Netlist) из схемного редактора;

- просмотр и распечатку проекта печатной платы;
- импорт и просмотр файлов механической обработки и фотошаблонов (средства CAM File Viewer).

2. Средства проектирования печатной платы (Board Implementation):

- графический редактор печатной платы PCB Layout – размещение и редактирование объектов на печатной плате; использование библиотек компонентов; ручное, интерактивное и авторазмещение; интерактивная трассировка, трассировка дифференциальных пар и др.;

* Документ HELP-системы Altium Designer 6: Project Essentials. Application Note AP0129 (v. 1.1) Nov. 15, 2005.

- автотрассировщик Situs: автотрассировка печатной платы;
- Signal Integrity – анализ паразитных эффектов (расщепления сигналов и наводок в печатном монтаже) на стадии проектирования печати;
- средства формирования управляющей информации для производственного оборудования – файлов в формате фотоплоттера Gerber и в обменном формате ODB++ файлы данных для сверловки (NC Drill);
- редактор САМ-файлов – импорт и редактирование фотошаблонов, данных сверловки и фрезерной обработки, экспорт управляющей информации;
- средства разработки аппаратной части JTAG-интерфейса программирования ПЛИС.

3. Средства проектирования устройств со встроенным интеллектом (Embedded Intelligence Implementation) включают:

- библиотеки ориентированных на реализацию в ПЛИС базовых логических элементов, генераторов, логических анализаторов, интерфейсных адаптеров и др.;
- средства реализации в ПЛИС процессорного ядра микроконтроллеров и оболочки дискретных процессоров на основе библиотеки функциональных аналогов ряда распространенных микроконтроллеров и моделей процессорного ядра;
- смешанные средства синтеза и моделирования логики ПЛИС – на основе схемного ввода, описаний логики VHDL или Verilog HDL;
- средства программно-аппаратной реализации JTAG-интерфейса программирования ПЛИС.

Третья группа средств отличает Altium Designer 6 от большинства распространенных универсальных интегрированных САПР радиоэлектронных функциональных узлов.

Следует отметить, что Altium Designer 6 не в состоянии выполнить полный цикл синтеза логики ПЛИС, включая выбор семейства микросхем, упаковку логики в выбранную микросхему ПЛИС (компиляцию), формирование данных для программирования встроенной памяти и “прошивки” ПЛИС. Функции Altium Designer 6 позволяют синтезировать и моделировать логику проекта, в результате чего формируются выходные данные в обменном формате EDIF. Эти данные передаются в специализированные САПР производителей компонентной базы ПЛИС (Vendor Tools) фирм Altera, Actel, Lattice, Sharp, Xilinx – в зависимости от выбранного для реализации проекта

семейства ПЛИС. Результатом работы этих специализированных САПР являются данные о коммутации логических сигналов проекта на выводы выбранной ПЛИС и данные для программирования ПЛИС в аппаратуре пользователя или на программаторе. Эти данные возвращаются в Altium Designer, где выполняется окончательная проработка проекта – включение ПЛИС в состав полной электрической принципиальной схемы, размещение компонентов на монтажном поле и трассировка печатного монтажа.

2. ПРОЕКТ ALTIUM DESIGNER

Базовой концепцией формирования данных, вырабатываемых в Altium Designer 6 и относящихся к одному объекту того или иного вида, является проект. Он представляет собой текстовый файл-оболочку, объединяющий иерархически организованный набор документов, предполагающих воплощение их в единственном объекте.

2.1. Виды проектов Altium Designer

В Altium Designer 6 поддерживается несколько видов проекта*.

1. Проект печатной платы (PCB Project). В графическом схемном редакторе на основе библиотек компонентной базы строится электрическая принципиальная схема и проводится схемотехническое моделирование. Описание схемы передается в графический редактор печатной платы, в котором строится контур печатной платы, задаются число и свойства слоев печати, правила выполнения трассировки, выполняется импорт описания схемы, размещение компонентов на монтажном пространстве, трассировка печатного монтажа, формируются стандартные файлы выходных данных для изготовления печатной платы, сборки и монтажа функционального узла. Документы проекта объединяются оболочкой с именем файла *.PrjPcb.

2. Проект ПЛИС (FPGA Project). Имя файла оболочки проекта – *.PrjFpg. Разработка начинается с формирования схемного или HDL-описания логики проектируемого устройства. В проект вводятся файлы, в которых содержатся ограничения, связанные с выбором семейства и типа ПЛИС, определяется

* Документ HELP-системы Altium Designer 6: Project Essentials. Application Note AP0129 (v. 1.1) Nov. 15, 2005.

коммутация входов и выходов логических сигналов на выводы выбранной ПЛИС, задаются требования к рабочей частоте, подключению внешних тактовых сигналов и т. п. Заданная логика компилируется в комбинации логических ячеек нижнего уровня внутренней структуры ПЛИС. Результаты логического синтеза выдаются в виде описания в конструкциях языка обменного формата EDIF. После этого данные EDIF-формата передаются в специализированную САПР производителя выбранного семейства ПЛИС, в которой программируется коммутация логических ячеек и блоков внутренней структуры ПЛИС и вывод логических сигналов на физические контакты выбранной микросхемы. Вырабатываются управляющие файлы для программирования ПЛИС в аппаратуре пользователя или на специальном программаторе. В результате микросхема ПЛИС может быть запрограммирована и протестирована на стенде.

На этом выполнение собственно проекта ПЛИС завершается. Однако запрограммированная микросхема не может висеть в воздухе: в любой аппаратуре пользователя ПЛИС бывает окружена целым рядом компонентов – резисторов, конденсаторов, микросхем более низкой степени интеграции или еще нескольких ПЛИС, электрических соединителей и т. п. Поэтому завершающей стадией реализации такого проекта является исполнение всего такого устройства в виде ячейки (модуля) на печатной плате, т. е. выполнение проекта печатной платы, на которой ПЛИС выступает как обычный компонент, наравне с остальными.

3. Интегрированная библиотека. Имя файла оболочки – *.LibPkg; имя файла библиотеки – *.IntLib. В редакторе библиотек формируются наборы схемных символов (УГО) электрорадиокомпонентов, определяются ссылки на модели компонента. В качестве модели выступают топологическое посадочное место (ТПМ), формируемое в среде редактора библиотек, модели для схемотехнического моделирования, модели для анализа целостности сигнала – расщепления фронтов логических сигналов в быстродействующих устройствах за счет отражений от концов печатного проводника, а также трехмерные геометрические модели компонентов. Файлы описаний моделей либо ссылки с указанием пути к ним включаются в структуру библиотечного пакета *.LibPkg. После этого выполняется компиляция компонентов библиотечного пакета в единый файл интегрированной библиотеки.

4. Встроенный проект (Embedded Project). Имя файла оболочки – *.PrgEmb. Это набор проектных документов, образующих программное приложение. Ис-

ходный текст программы и (или) подпрограмм формируется в конструкциях языка С или Ассемблера, компилируется в объектные модули; подпрограммы связываются в исполняемый модуль в машинном коде, готовый для загрузки в выбранный процессор или микроконтроллер.

5. Проект ядра (Core Project). Имя файла оболочки – *.PrjCor. По существу, это первая половина ПЛИС-проекта, заканчивающаяся формированием графического схемного символа и описания логики в формате EDIF.

6. Скрипт-проект. Имя файла оболочки – *.PrjScr. Программирование в среде Altium Designer имеет целью модификацию объектов в других открытых проектах. Для управления используется интерфейс программирования приложений API (DXP Application Programming Interface).

2.2. Создание нового проекта

Рассмотрим процедуру создания нового проекта на примере проекта печатной платы*.

1. Щелчком на закладке System в правом нижнем углу главного окна программы активизировать “всплывающее” контекстное (Pop-up) меню и указать в нем команду Projects. Открывается плавающая панель Projects, в главном поле которой отображена иерархия ранее открытых проектов (рис. 2.1).

2. Активизировать команду главного меню File>>New>>Project>>PCB Project.

В диалоговом окне Select Project Type указать тип проекта – Protel PCB или P-CAD PCB.

В дереве проектов в главном поле панели Projects появится новый узел с именем PCB_Project1.PrjPcb.

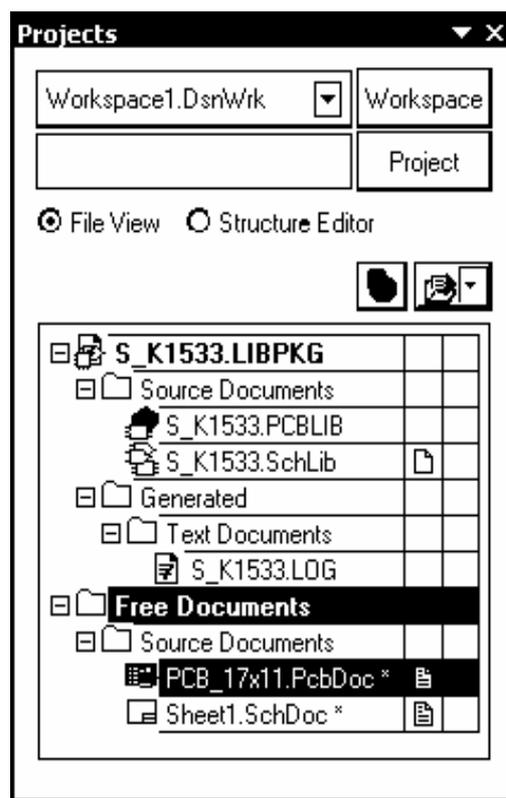


Рис. 2.1

* Документ HELP-системы Altium Designer 6: Getting Started with PCB Design. Tutorial TU0117 (v. 1.4) Nov. 28, 2005.

3. Активизировать команду главного меню File>>Save As и сохранить файл нового проекта в дисковой памяти компьютера с новым именем, например PCB_Filter.PrjPcb.

2.3. Включение документов в проект

Документы, создаваемые в Altium Designer 6, могут быть как связаны, так и не связаны с конкретным проектом. В последнем случае они носят статус “свободных” и так же, как связанные, отображаются в плавающей панели Projects, в ветви Free Documents.

Для включения документов в проект:

1. Указать курсором на имя проекта в плавающей панели Projects и щелчком правой клавиши мыши вызвать контекстное меню (рис. 2.2), в котором активизировать команду Add New to Project или Add Existing to Project.

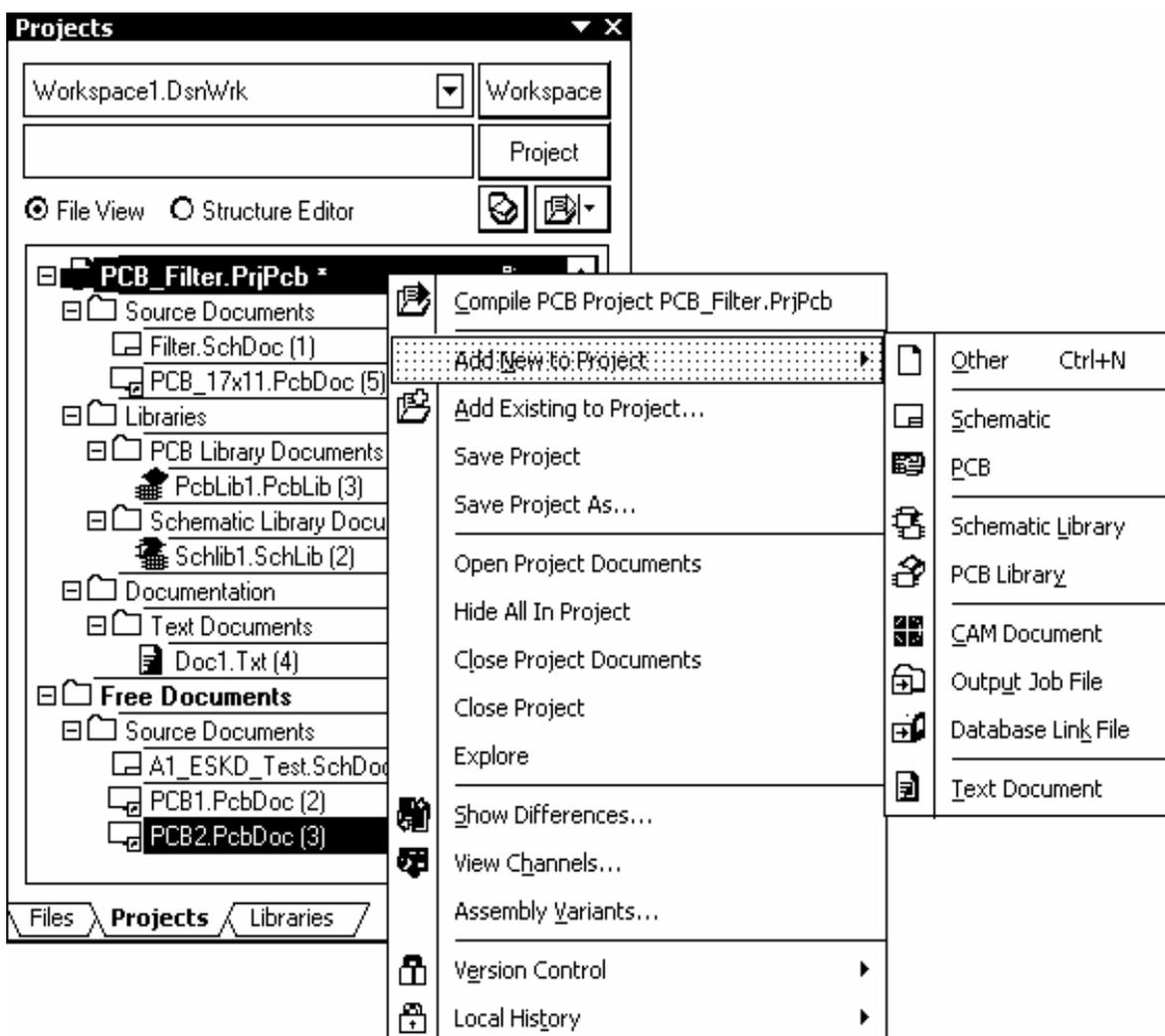


Рис. 2.2

2. В первом случае открывается контекстное меню следующего, ниже-го уровня с перечнем возможных типов подключаемого документа:

- Schematic – схемный документ;
- PCB – файл проекта печатной платы;
- Schematic Library – библиотека схемных символов;
- PCB Library – библиотека топологических посадочных мест;
- CAM Document – документ САМ-программы;
- Output Job File – файл выходных данных для обработки;
- Database Link File – файл-указатель связи с базой данных;
- Text Document – текстовый документ;
- Other – прочие документы.

3. В случае подключения существующего документа (Add Existing to Project) открывается стандартная процедура поиска файла. Найденный файл включается в состав документов проекта.

В обоих случаях имя файла подключенного документа включается в дерево документов проекта. При подключении графических документов – схемного файла, файла печатной платы, библиотеки схемных символов или посадочных мест – одновременно с появлением имени документа в дереве проекта открывается лист соответствующего графического редактора – пустой либо занятый объектами подключенного документа.

4. Сохранить подключенные к проекту новые (пустые) документы, указывая на них по очереди курсором и активизируя каждый раз команду главного меню File>>Save As.

5. Для исключения документа из состава проекта щелчком правой клавишей на имени документа в дереве проекта активизировать контекстное меню и указать в нем команду Remove from Project.

2.4. Работа с документами проекта

Каждый документ, подключенный к проекту, хранится в памяти компьютера под своим именем, а файл-оболочка проекта (*.PrjPcb) устанавливает связи между всеми этими документами, в результате они становятся доступными при открытии файла проекта.

Документ активизируется щелчком правой клавиши мыши на имени в дереве плавающей панели Projects. Активизируется как свободный, так и принадлежащий тому или иному проекту документ. Имя документа выделя-

ется белым на темном фоне. Одновременно активизируется контекстное меню, командами которого можно вносить изменения в данный активный документ. Одновременно с активизацией документа активизируется и проект, которому документ принадлежит, либо узел Free Documents, если активизируется свободный документ.

Активизация проекта достигается тем же способом. Проект делается активным по щелчку правой клавиши мыши на имени проекта в плавающей панели Projects. Имя проекта выделяется белым на темном фоне.

Одновременно активизируется контекстное меню, командами которого можно вносить изменения в данный активный проект. При этом может оставаться активным документ другого, активизированного ранее, проекта.

Один и тот же документ может быть подключен к неограниченному числу проектов и вызываться из каждого проекта для разработки и редактирования. При этом нужно быть осторожным: документ, отредактированный в одном проекте, при использовании в других проектах приносит с собой внесенные изменения, что не всегда приемлемо. Не помогает и простое переименование документа.

Использование команды File>>Save As не отвечает данной задаче, поскольку при простом сохранении файла под новым именем в проекте автоматически обновляются связи, в результате чего документ с новым именем становится принадлежностью сразу всех открытых в текущий момент проектов.

Поэтому перед редактированием следует сохранить резервную копию документа командой главного меню File>>Save Copy As. Тогда копия документа сохраняется по указанному адресу, а исходный документ остается связанным с проектом.

Отметим также, что дерево документов в плавающей панели Projects показывает логическую связь документов проекта и никак не отражает локализацию документов в памяти компьютера. Для выяснения физической локализации документов активного проекта следует щелчком мыши активизировать в правом нижнем углу главного окна программы команду System>>Storage Manager. Открывается плавающая панель Storage Manager (рис. 2.3), в которой отображаются пути к документам в файловой системе компьютера.

Щелчком правой клавиши мыши на имени документа вызывается контекстное меню, позволяющее выполнить с документом ряд стандартных действий, предусмотренных в ОС MS Windows: открыть документ, переименовать, обновить, удалить его, образовать копию в буфере обмена и т. д.

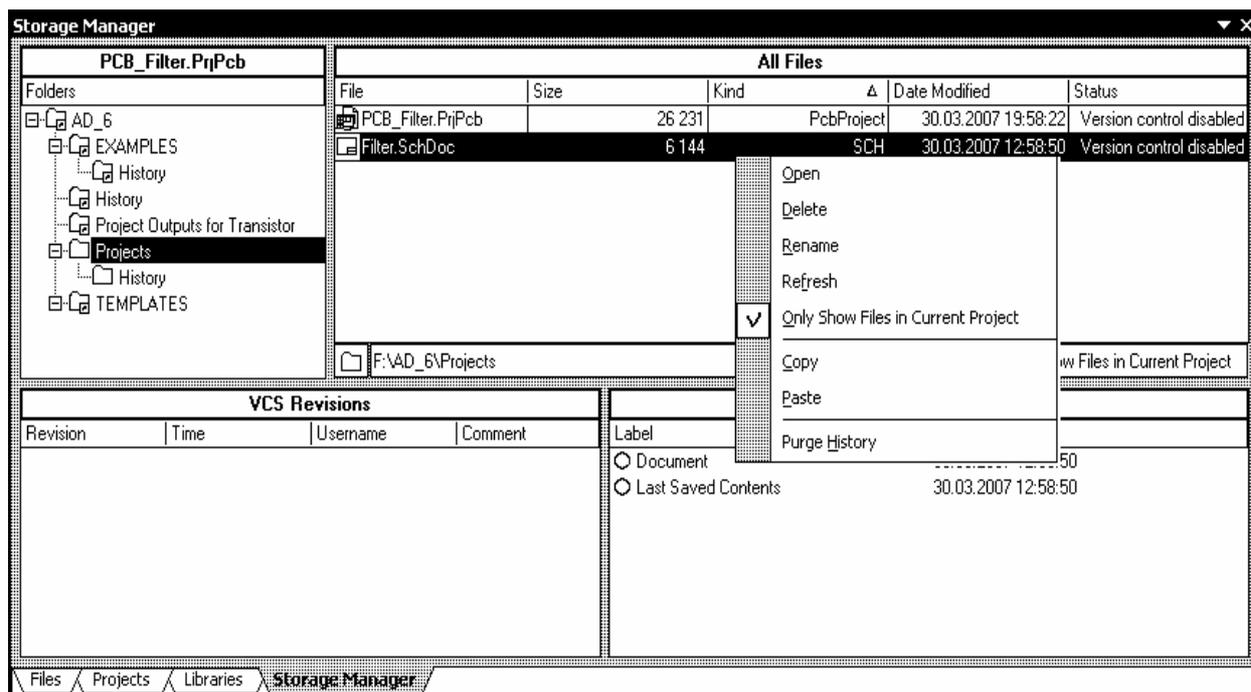


Рис. 2.3

Дальнейшее изложение начнем с рассмотрения вопросов обеспечения проектных процедур библиотеками компонентной базы.

3. БИБЛИОТЕКИ КОМПОНЕНТНОЙ БАЗЫ

3.1. Базовые концепции библиотечного обеспечения

Залогом успешного выполнения проекта радиоэлектронного функционального узла является обеспеченность библиотеками компонентной базы.

Концепция библиотечного обеспечения Altium Designer 6* имеет и сходство с концепцией, принятой в семействе САПР P-CAD 200x [2] и отличия от нее.

Как обычно, компонент представляет собой тот базовый “кирпичик”, из которых составляется проект радиоэлектронного функционального узла. При выполнении разных этапов работы над проектом компонент описывается по-разному: в электрической схеме используется так называемый логический символ, при проектировании печатной платы – топологическое посадочное место (ТПМ); в схемотехническом моделировании компонент представлен SPICE- или XSPICE-моделью, при анализе целостности сигнала – IBIS-

* Документ HELP-системы Altium Designer 6: Component, Model and Library Concepts. Article AR0104 (v. 2.0) June 07, 2006.

моделью своих входных и выходных цепей, при объемном проектировании функционального узла – трехмерной геометрической моделью (3D model). Все эти представления компонента, за исключением логического символа, объединяются понятием “модель”.

Наличие полной совокупности этих представлений для каждого компонента не обязательно, но в качестве отправной точки проектирования обязательно представление компонента его логическим символом. Это то минимальное представление, без которого невозможно начать разработку электрической принципиальной схемы. Логический символ является элементом библиотеки схемного редактора. Он включает условно-графическое обозначение (УГО) и электрические контакты, может быть односекционным или многосекционным.

Таким образом, полное описание электронных компонентов в Altium Designer 6 складывается из трех самостоятельных описаний:

- элемента библиотеки схемных символов *.SchLib (в отечественной лексике – УГО);
- элемента библиотеки топологических посадочных мест *.PCBLib;
- файлов описания модели – SPICE-модели аналогового компонента, XSPICE-модели цифрового компонента и (или) IBIS-модели для анализа паразитных эффектов в печатном монтаже (целостности сигнала).

Элемент схемной библиотеки, кроме непосредственно УГО и описания электрических контактов, содержит ссылку на модель. Модель представляет собой иерархическую структуру, объединяющую ссылки на две последние составные части полного описания компонента.

Библиотечные описания символа и посадочного места могут использоваться в проектировании самостоятельно либо могут быть скомпилированы в интегральную библиотеку. Преимуществом интегральной библиотеки является ее компактность, возможность автоматически извлекать в проект составные части интегрированного образа в зависимости от того, ведется ли проектирование электрической схемы или печатной платы либо моделирование, а также невозможность редактирования компонентов интегральной библиотеки. Компонент может быть открыт для редактирования из интегральной библиотеки командой Extract Sources.

3. 2. Создание новой интегральной библиотеки

Для создания интегральной библиотеки* следует:

1. Активизировать команду File>>New>>Project>>Integrated Library. По этой команде образуется библиотечный пакет с именем Integrated_Library1.LibPkg. Этот пакет имеет статус проекта, его имя отображается в плавающей панели Projects.

2. Переименовать и сохранить образованный пакет в дисковой памяти. Для этого щелчком правой клавиши мыши на его имени в панели Projects активизировать в плавающем контекстном меню команду Save Projects As, ввести с клавиатуры новое имя, например Transistor.LibPkg (расширение имени указывать не обязательно – оно присваивается автоматически).

3. Добавить в созданный библиотечный пакет новую (пустую) библиотеку схемных символов. Для этого щелчком правой клавиши мыши на имени проекта Transistor.LibPkg активизировать плавающее контекстное меню и указать в нем команду Add New to Project>>Schematic Library. В дереве проекта откроется новый узел – библиотека с именем SchLib1.SchLib, а в главном окне программы – пустой лист редактирования схемного компонента Component_1.

4. Активизировать в главном меню File команду Save As, переименовать и сохранить файл схемной библиотеки с именем, например, Transistor.SchLib.

5. Активизировать в строке статуса панель-закладку SCH>>Library, после чего откроется пустая плавающая панель редактирования SCH Library.

3.2.1. Формирование схемных компонентов

Формирование нового компонента может начинаться по команде главного меню Tools>>New Component, но в нашем случае, поскольку уже открыта панель редактирования SCH Library с пустым шаблоном Component_1, можно просто переименовать его и начать процедуру формирования логического символа схемной библиотеки, например NPN-транзистора.

1. Указать курсором имя Component_1 и активизировать команду главного меню Tools>>Rename Component. Внести имя NPN в поле имени окна Rename Component и завершить переименование щелчком на ОК.

* Документ HELP-системы Altium Designer 6: Creating Library Components. Tutorial TU0103 (v. 1.4) June 9, 2006.

2. Установить точку привязки графики УГО в центр окна редактирования командой главного меню Edit>>Jump>>Origin (горячие клавиши J, O). На графическом экране окна редактирования эта точка помечается перекрестием. Вокруг нее обычно строится вся графика УГО. В дальнейшем при вызове логических символов из библиотеки и размещении их на поле электрической схемы программа поведет символ за электрическую “горячую точку” – окончание линии электрического контакта, ближайшего к точке привязки графики.

3. Активизировать команду главного меню Tools>>Document Options и настроить в диалоговом окне Library Editor Workspace (рис. 3.1) основные элементы рабочего пространства редактора библиотек:

- Units – систему единиц измерения (установить метрическую систему единиц);
- Grids>>Snap – сетку захвата при построении графики;
- Grids>>Visible – сетку, видимую на экране.

В нашем частном случае целесообразно установить шаг сетки захвата 0,5 мм, а шаг видимой сетки 5 мм.

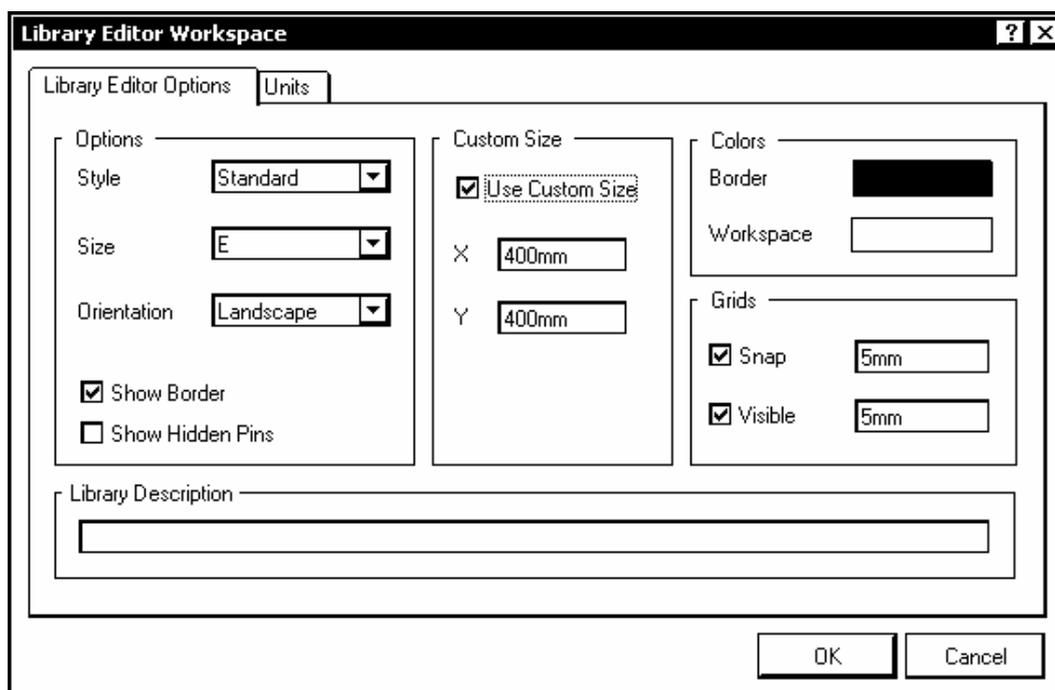


Рис. 3.1

4. Вычертить в окне графического редактирования УГО NPN-транзистора.

При создании УГО дискретных аналоговых компонентов по ЕСКД необходимо сформировать графику УГО и разместить электрические контакты схемного элемента (символа) в узлах сетки, единой для всех, как аналоговых,

так и цифровых, компонентов. В качестве такой оптимальной сетки при проектировании электрических схем по ЕСКД целесообразно использовать сетку с шагом 5 мм. Именно в таком модульном шаге формируются, в соответствии с ГОСТ 2.743-91 и ГОСТ 2.759-82, УГО аналоговых и цифровых интегральных микросхем. При таком подходе электрические контакты компонентов и проводники линий связи электрической принципиальной схемы оказываются в узлах единой сетки. Такой выбор не противоречит требованиям ЕСКД к выполнению электрических схем: правила выполнения схем (ГОСТ 2.701-84, ГОСТ 2.702-75) не регламентируют расстояния между проводниками. Указывается только, что расстояние между линиями связи в электрических схемах не должно быть менее 2 мм.

Рассмотрим особенности формирования схемного символа на примере биполярного транзистора. В соответствии с ГОСТ 2.730-73 УГО биполярного транзистора формируется геометрическим построением. В окружности диаметром 12 или 14 мм под углом 60° друг к другу и симметрично относительно диаметра строятся два луча. Размер "А" между исходной точкой лучей и точкой их пересечения с окружностью составляет 9 или 11 мм и определяет все остальные размеры УГО. Линия базы транзистора строится на расстоянии $0,5A$ от исходной точки лучей и имеет длину, также равную A (рис. 3.2, а).

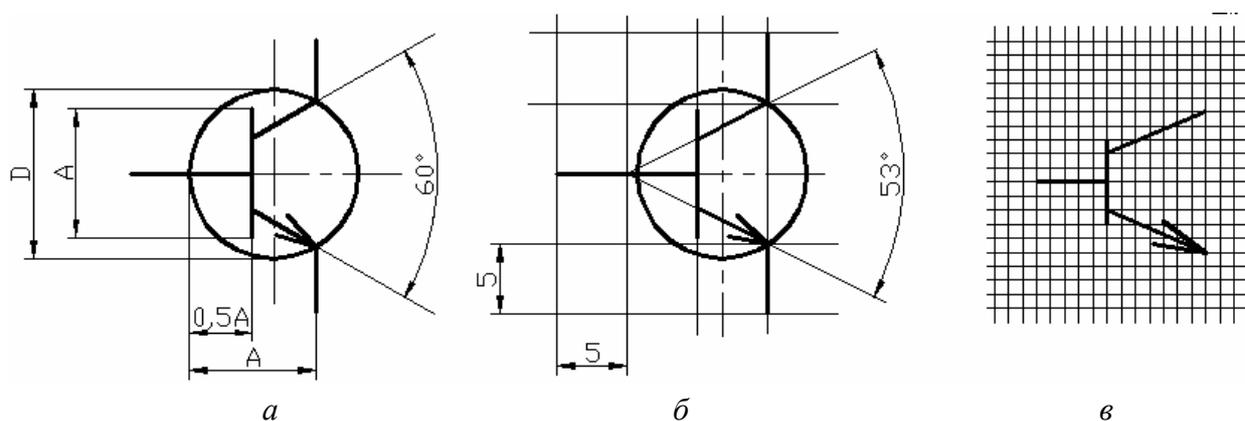


Рис. 3.2

При таком построении УГО координаты точек сопряжения элементов графики выражаются иррациональными числами. Программа, конечно, округляет эти координаты до значения младшего разряда машинного слова, но все равно точки присоединения проводников схемы не попадают в узлы приемлемой сетки проектирования.

Изменением ИУС № 6 1989 г. к ГОСТ 2.730-73 установлен способ черчения и определения размеров УГО полупроводниковых приборов в модульной сетке (рис. 3.2, в). Это также малополезно при нашем подходе (единая сетка для всех компонентов проекта). Хотя в упоминаемом “Изменении” не указано значение модульного шага, при строгом следовании приведенному в нем рисунку (см. рис. 3.2, в) затруднительно построить УГО так, чтобы оно соответствовало сформулированному требованию единой сетки для цифровых и аналоговых компонентов.

Представляется рациональным решение, изображенное на рис. 3.2, б. Линии УГО проводятся через узлы 5-миллиметровой сетки, штрихи электрических контактов также имеют длину 5 или 10 мм, а окружность, изображающая корпус транзистора (ее изображение, по ГОСТ 2.730-73, с изменением ИУС № 6 1989 г., не обязательно), смещена вправо так, что ее контур проходит через точки окончания линий эмиттера и коллектора. Угол раствора коллектора и эмиттера составляет при этом 53°. На глаз различия изображений рис. 3.2, а и б совершенно незаметны.

1. Активизировать команду главного меню Place >>Line. Курсор меняет вид на перекрестие. Графический примитив Line представляет собой полилинию – все отрезки ломаной линии образуют единый объект.

2. Клавишей Tab активизировать функцию настройки ширины линии. Откроется диалоговое окно настройки PolyLine (рис. 3.3).

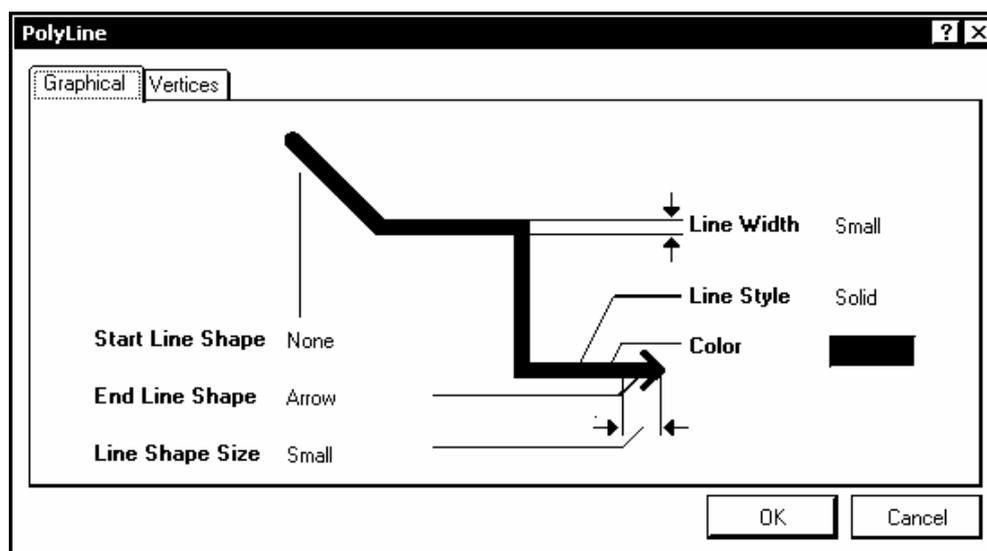


Рис. 3.3

В окно вынесены следующие настройки линии:

- Line Width – ширина линии: курсором указывается один из вариантов ширины:

- Smallest – тончайшая, около 0,1 мм;
- Small – тонкая, 0,254 мм;
- Medium – средняя, около 0,5 мм;
- Large – большая, около 1 мм;
- Line Style – стиль – сплошная (Solid), пунктирная (Dotted) или штриховая (Dashed);
- Color – цвет: выбирается из цветовой палитры, открываемой по щелчку левой клавишей мыши на цветном прямоугольнике;
- Start Line Shape и End Line Shape – фигуры, которыми начинается и кончается линия: стрелки, точки, квадраты и т. п., или отсутствие фигур (None), а также размер этих фигур-наконечников (Line Shape Size).

Щелчком на ОК завершить настройку.

3. Проложить необходимое число отрезков, образующих элементы УГО (см. рис. 3.2, б), фиксируя начало и конец каждого щелчком левой клавиши. Черчение очередного отрезка завершается щелчком правой клавиши мыши или клавишей Esc. Перед вычерчиванием линии эмиттера клавишей Tab снова активизировать настройку параметров и указать стрелку на конце отрезка.

4. Активизировать команду черчения дуги Place>>Arc. Клавишей Tab активизировать диалог настройки параметров дуги (рис. 3.4).

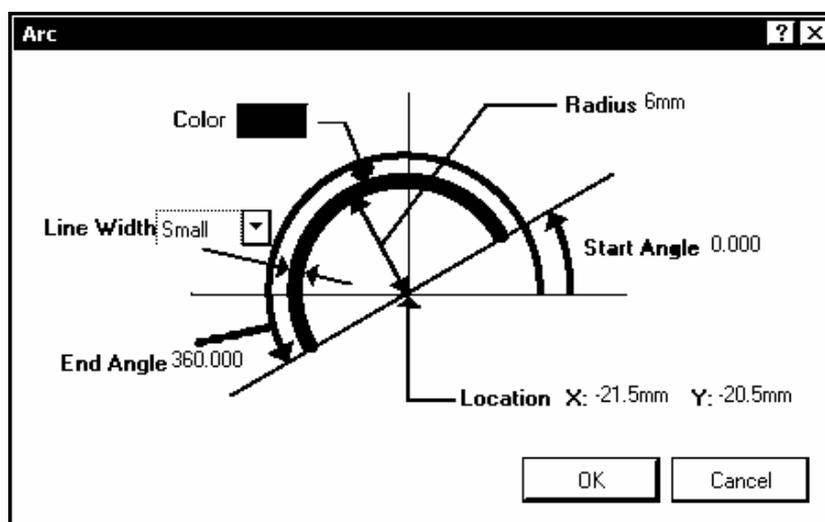


Рис. 3.4

В диалоговом окне указываются параметры:

- Line Width – ширина линии;
- Color – цвет;
- Radius – радиус дуги;
- Start Angle – начальный угол, в абсолютных координатах;

- End Angle – конечный угол, также в абсолютных координатах.

5. Указать радиус 6 мм, начальный угол 0 (нуль) и конечный угол 360°.

По щелчку на ОК вычерчивается окружность диаметром 12 мм.

6. Переместить и зафиксировать окружность в таком положении, чтобы концы линии эмиттера и коллектора лежали на ней.

3.2.2. Присоединение электрических выводов

1. Активизировать команду главного меню Place>>Pin (горячие клавиши P, P). На графическом экране появляется изображение электрического контакта, перемещающееся за курсором по экрану. Точка присоединения электрической связи к контакту помечена косым перекрестием. В лексике Altium Designer эта точка называется “горячим концом” (hot end). При совмещении вывода с УГО линия вывода должна примыкать к УГО противоположным концом.

2. Перед размещением вывода активизировать клавишей Tab диалог редактирования его свойств. Открывается окно настройки свойств вывода Pin Properties (рис. 3.5)

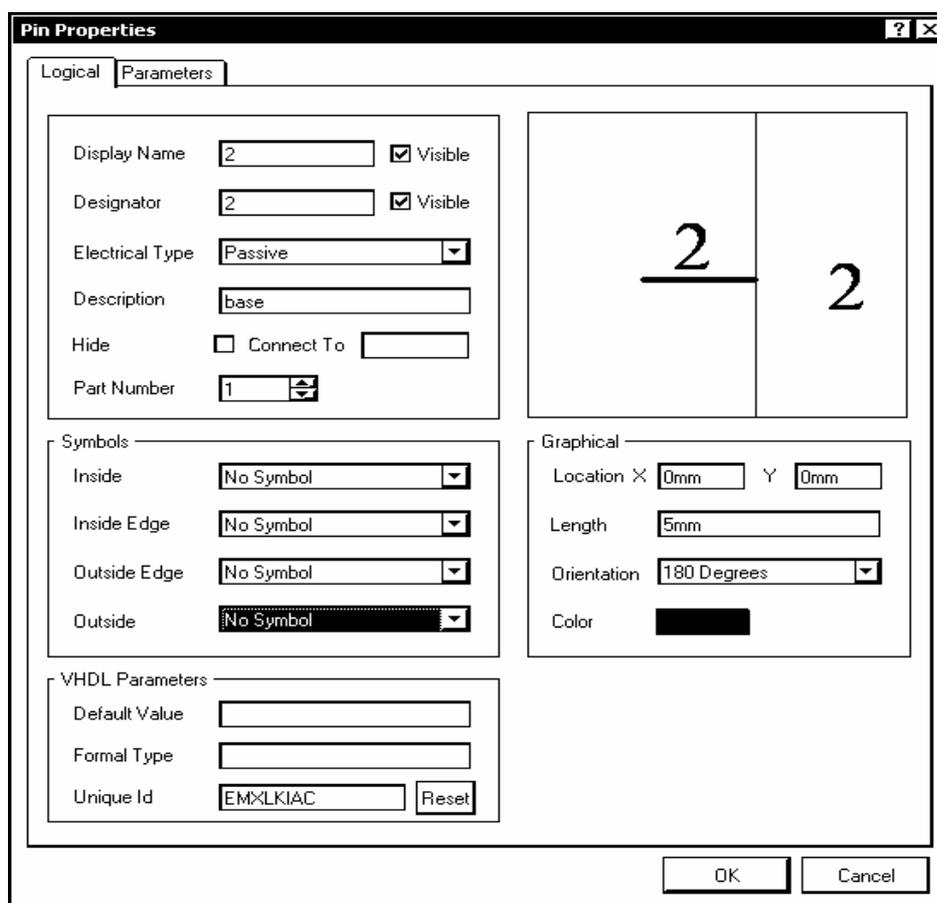


Рис. 3.5

Установить следующие свойства вывода:

- **Display Name** – логическое имя или функциональное назначение контакта. В соответствии с требованиями SPICE-технологии схемотехнического моделирования последовательность ввода и обозначений выводов транзистора должна быть: коллектор-база-эмиттер. По умолчанию первому вводимому контакту дается обозначение 0 (нуль). Изменим это обозначение на 1. Обозначения следующих выводов автоматически инкрементируются;

- **Designator** – обозначение вывода в соответствии с цоколевкой, используемое при автотрассировке. По умолчанию это обозначение совпадает с обозначением **Display Name** и также инкрементируется. Присвоим ему также обозначение 1. В случае транзистора целесообразно отключить видимость обозначений выводов, так как их функциональное назначение ясно из графики УГО (видимые обозначения будут у выводов микросхем);

- **Electrical Type** – электрический тип вывода. Для выводов транзистора установить тип **Passive**;

- **Description** – текстовое описание функции вывода компонента;

- **Graphical** – элементы графики вывода:

- **Length** – длина линии вывода: установить длину 5 мм,

- **Orientation** – ориентация линии: установить угол разворота линии вывода (против часовой стрелки, относительно положительного направления оси X). Ориентация может также меняться при установке вывода на графическом экране последовательными нажатиями клавиши “Пробел” (Space);

- **Symbols** – оставить без изменения признак **No Symbol** – отсутствие указателей полярности, направления передачи сигнала и т. п.

3. Щелчком на ОК завершить редактирование свойств вывода и установить его на УГО в окне графического редактирования компонента.

4. Повторить действия пп. 2, 3 для следующих выводов компонента. Последовательность ввода оставшихся выводов – база, эмиттер.

5. Командой главного меню **File>>Save** сохранить построенный компонент в библиотеке. Результат формирования схемного символа отображается в полях плавающей панели **SCH Library** (рис. 3.6, а).

3.2.3. Формирование и редактирование схемных символов интегральных микросхем

Процедура формирования символов цифровых и аналоговых интегральных микросхем в принципе не отличается от рассмотренной процедуры формирования символов дискретных компонентов. Аналогично пп. 1...5 в 3.2.2 создается прямоугольный контур УГО в соответствии с требованиями ГОСТ 2.743-91 и ГОСТ 2.759-82, формируются и присоединяются к УГО выводы компонента.

Различия состоят в использовании так называемых скрытых выводов, а также меток и указателей, поясняющих функциональное назначение выводов компонента. Перечислим варианты этих обозначений, принятые в Altium Designer 6.

1. Обозначение электрического типа вывода (Electrical Type):

- Input – входной;
- IO – вход-выход (двунаправленный);
- Output – выходной;
- Open Collector – открытый коллектор;
- Passive – пассивный;
- HiZ – вывод с третьим, высокоимпедансным состоянием;
- Emitter – эмиттер;
- Power – силовой (выводы питания-“земли”).

2. Метки, размещаемые внутри контура УГО (Inside):

- No Symbol – отсутствие метки;
- Postponed Output – выход задержанного сигнала;
- Open Collector – открытый коллектор;
- HiZ – вывод с высокоимпедансным состоянием;
- High Current – сильноточный выход;
- Pulse – импульсный сигнал;
- Schmitt – гистерезисный элемент (триггер Шмитта);
- Open Collector Pull Up – открытый коллектор, оттянутый к питанию;
- Open Emitter – открытый эмиттер;
- Open Emitter Pull Up – открытый эмиттер, оттянутый к питанию;
- Shift Left – сдвиг влево;

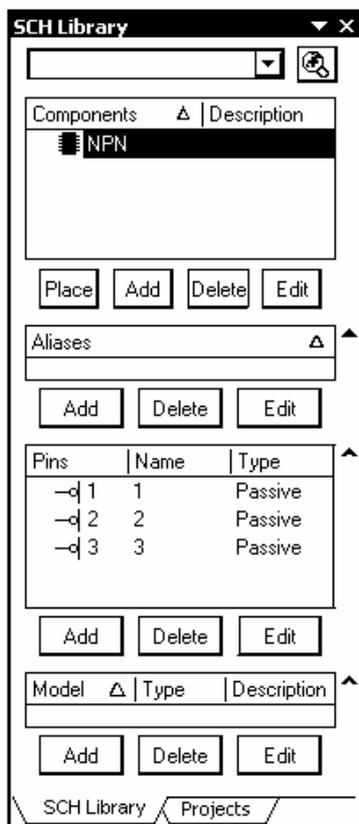
- Open output – открытый выход.
3. Указатель по внутреннему краю УГО (Inside Edge):
- No Symbol – отсутствие указателя;
 - Clock – вход прямого динамического тактового сигнала.
4. Указатель по внешнему краю УГО (outside Edge):
- No Symbol – отсутствие указателя;
 - Dot (колючко) – признак инверсии сигнала;
 - Active Low Input – вход логики с активным низким уровнем логической единицы;
 - Active High Input – вход логики с активным высоким уровнем логической единицы.
5. Указатель на выводе снаружи от контура УГО (Outside):
- No Symbol – отсутствие указателя;
 - Right Left Signal Flow – передача сигнала справа налево;
 - Left Right Signal Flow – передача сигнала слева направо;
 - Analog Signal In – вход аналогового сигнала;
 - Digital Signal In – вход цифрового сигнала;
 - Bidirectional Signal Flow – двунаправленная передача сигнала;
 - Not Logic Connection – нелогическое соединение (подключение цепей питания, Земли, пассивных времязадающих цепей и т. п.).

Для обозначения имен инверсных входов и выходов с надчеркиванием над обозначением после каждого символа пишется обратная косая черта (Backslash). Например, при вводе с клавиатуры последовательности знаков A\D\0\1\ на поле УГО появляется обозначение $\overline{AD01}$.

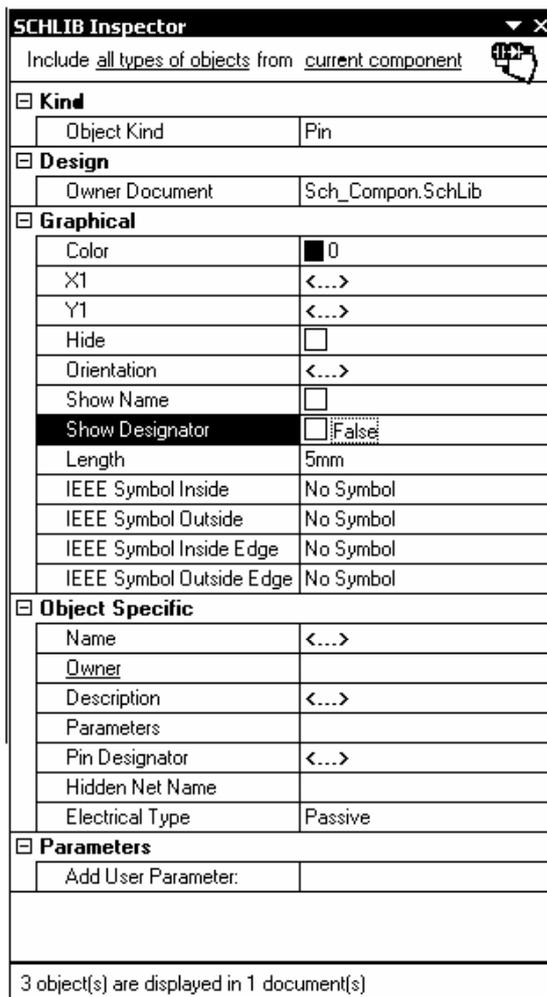
Altium Designer 6 предоставляет широкие возможности индивидуального и группового редактирования свойств электрических выводов компонента.

Для индивидуального редактирования свойств выделить вывод на графическом экране редактора библиотеки, щелчком правой клавиши мыши активировать контекстное меню и в нем указать команду просмотра и редактирования свойств (Properties). Открывается диалоговое окно Pin Properties (см. рис. 3.5), в котором могут быть изменены свойства вывода.

Для группового редактирования указать курсором, удерживая клавишу Shift, функционально однородные выводы в поле плавающей панели SCH Library (рис. 3.6, а) и клавишей F11 активировать функцию “инспектора”. Открывается диалоговое окно SCHLIB Inspector (рис. 3.6, б), в котором могут быть изменены свойства группы селектированных выводов.



a



б

Рис. 3.6

Рассмотрим еще один способ редактирования свойств электрических ВЫВОДОВ.

1. В главном меню Tools или двойным щелчком мыши на имени компонента в плавающей панели SCH Library активизировать диалог редактирования свойств компонента Component Properties.

2. В диалоговом окне Library Component Properties кнопкой Edit Pins вызвать диалоговое окно Component Pin Editor (рис. 3.7)

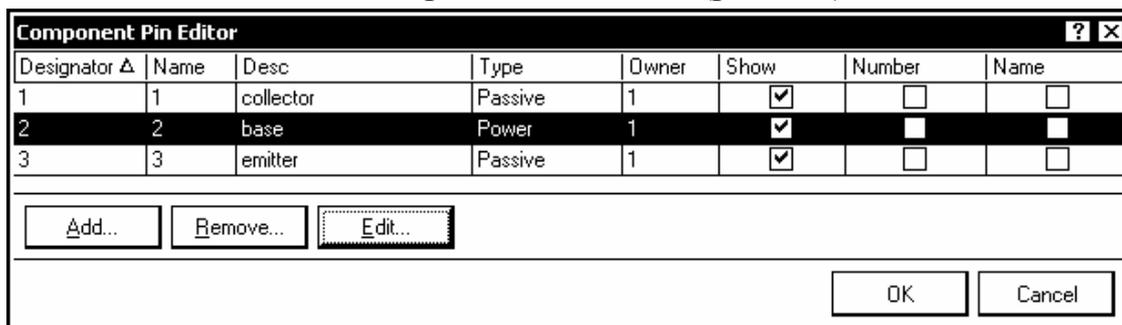


Рис. 3.7

3. Указать курсором вывод и кнопкой Edit вызвать диалоговое окно Pin Properties (см. рис. 3.5). Отредактировать свойства выбранного контакта и сохранить результат. Отметим, что не все используемые в Altium Designer 6 метки и указатели у выводов ЭРК приемлемы с точки зрения соответствия графики символов требованиям ЕСКД:

1) на выводы с электрическим типом Input, Output и IO (см. п. 1) ставится специальная метка, указывающая направление сигнала. Ее наличие противоречит требованиям ГОСТ 2.743-91;

2) меток внутри УГО (см. п. 2 в 3.2.2) недостаточно для формирования полного спектра изображений по ЕСКД – полный перечень этих меток в ГОСТ 2.743-91 занимает 20 страниц, в то же время часть меток и указателей, принятых в стандартах IEEE и используемых в Altium Designer, не соответствует по начертанию предусмотренным по ГОСТ 2.743-91;

3) указатели, перечисленные в пп. 4, 5 в 3.2.2, кроме знака инверсии, в изображениях по ЕСКД не применяются.

Тем не менее, при разумном применении некоторых меток и указателей, в сочетании с буквенно-цифровыми именами выводов (Pin Name) позволяет получить приемлемое изображение большого разнообразия аналоговых и цифровых интегральных микросхем.

3.2.4. Многосекционные компоненты

К многосекционным компонентам относятся резисторные, конденсаторные, диодные и транзисторные сборки и матрицы, электрические соединители, некоторые логические интегральные микросхемы. Схемный символ многосекционного компонента может быть построен целиком, со всеми секциями в едином УГО. В этом случае создание такого символа ничем не отличается от рассмотренного. Однако для формирования принципиальной электрической схемы, которая бы легко читалась и наглядно демонстрировала принцип действия функционального узла, такое изображение не всегда удобно:

1) в схеме могут быть задействованы не все секции, а отображение неиспользуемых невозможно отключить, в результате схема загромождается лишними УГО;

2) при едином УГО на весь компонент невозможно изобразить схему разнесенным способом, приходится тянуть к нему линии электрической связи издалека, что затрудняет чтение схемы.

Поэтому целесообразно рассмотреть особенности формирования схемного символа многосекционного компонента разнесенным способом – на примере логической интегральной микросхемы КР1564ЛА3, содержащей 4 двухвходовых вентиля И-НЕ в одном корпусе.

1. Выполнить действия аналогично пп. 1...5 в 3.2. Присвоить при этом новому библиотечному проекту имя KR1564.LibPkg, а присоединенной к нему библиотеке схемных компонентов – имя KR1564.SchLib.

2. Переименовать пустой компонент Component_1 в плавающей панели SCH Library, присвоив ему имя KR1564LA3, и установить точку привязки графики в центре главного окна графического редактора, аналогично пп. 1, 2 в. 2.1.

3. Активизировать команду главного меню Place>>Line и вычертить квадрат УГО со стороной 15 мм.

4. Активизировать команду главного меню Place>>Pin и вызвать клавишей Tab диалог настройки свойств электрического вывода (см. рис. 3.5). Назначить первому выводу:

- обозначение Designator – 1, в соответствии с цоколевкой микросхемы, имя Display Name также также назначить 1;
- электрический тип назначить Passive, чтобы избежать размещения меток, противоречащих требованиям ЕСКД.

Закрывать диалог настройки и зафиксировать первый вывод в главном окне графического редактора, как показано на рис. 3.8, а.

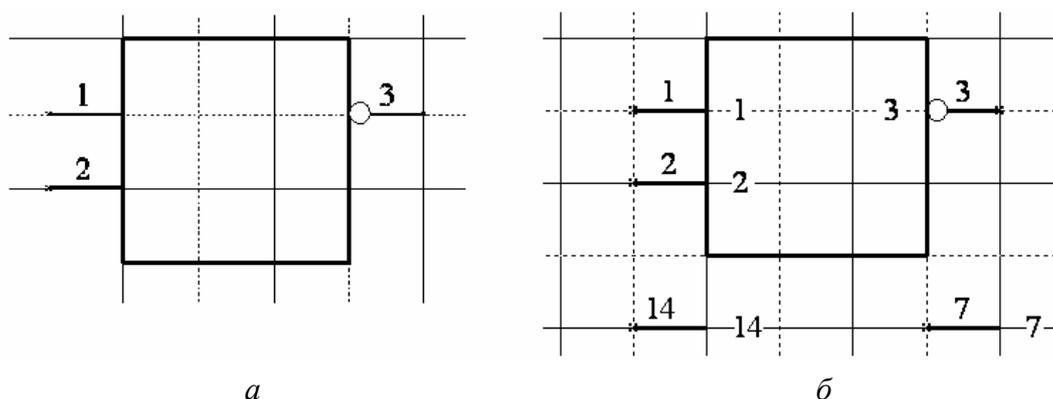


Рис. 3.8

5. Продолжить установку следующих выводов. Перед установкой третьего, выходного, снова активизировать клавишей Tab диалог настройки, развернуть вывод на 180° и установить значок инверсии выходного сигнала Outside Edge – Dot.

3.2.5. Выводы питания и “земли”

Чаще всего это выводы цифровых интегральных схем, подключаемые к цепям питания и “общего” (“земли”). При традиционном ручном способе черчения электрических схем эти выводы на схеме не показывались, а необходимость их присоединения к цепям питания и “общего” указывалась в текстовых технических требованиях на поле чертежа.

В P-CAD, Altium Designer и других САПР могут использоваться два подхода к формированию и использованию этих выводов при выполнении электрической схемы.

При первом подходе в компонент вводится специальная секция с выводами питания и “общего”. В терминологии P-CAD такие компоненты называются гетерогенными. Цепи питания и “общего” подводятся к выводам этих секций так же, как сигнальные цепи к выводам логических секций.

При втором подходе выводы питания и “общего” делаются скрытыми. Они объединяются программой в цепь с назначенным именем (в P-CAD эти цепи имеют статус “глобальных”), и разработчику остается только обеспечить вывод этой цепи на контакт соединителя или лепесток для подачи питания на плату.

Рассмотрим принятую в Altium Designer 6 процедуру формирования скрытых выводов на примере выводов питания и “общего” нашей интегральной микросхемы KP1564LA3.

1. Активизировать команду главного меню View>>Show Hidden Pins. По этой команде делаются видимыми все скрытые выводы компонента, а также скрытые имена и другие обозначения у видимых выводов.

2. Указать курсором в плавающей панели SCH Library на значок компонента KR1564LA3 (всего компонента, а не отдельной секции). В главном графическом окне редактора библиотек отобразится УГО первой секции компонента.

3. Активизировать команду главного меню Place>>Pin и вызвать клавишей Tab диалоговое окно предварительного редактирования свойств вывода.

4. В диалоговом окне Pin Properties (см. рис. 3.5):

- обозначениям Display и Name Designator присвоить цоколевочный номер вывода 7;
- признаку Electrical Type установить значение Power;
- составить описание (Description): Ground_pin;

- указать номер секции (Part Number) 0 (нуль): при таком обозначении выводы питания и Земли присоединятся к каждой секции компонента;
- активизировать признак Hide – скрыть вывод на УГО;
- в поле Connect to указать имя цепи GND – “земля”.

Щелчком ОК завершить редактирование и зафиксировать вывод в ближайшем к контуру УГО узле сетки проектирования.

5. Повторить те же действия, установив при этом описание Supply_pin, цоколевочный номер вывода 14 и имя цепи питания VCC. Конечный результат показан на рис. 3.8, б.

6. Селектируя по очереди секции компонента в плавающей панели SCH Library, убедиться, что у каждой секции появились выводы 7 и 14. Если это так, снять активность команды главного меню View>>Show Hidden Pins.

7. Командой главного меню File>>Save сохранить компонент с подключенными скрытыми выводами.

Видим, что, в отличие от P-CAD 200x, в котором скрытые выводы не включались в состав схемного символа (достаточно было присвоить им электрический тип Power в таблице описания контактов), в Altium Designer любой вывод может быть скрытым. Кроме того, должно быть явно обозначено имя цепи, к которой подключаются скрытые выводы.

3.2.4. Редактирование свойств компонента

1. Двойным щелчком мыши на имени компонента в плавающей панели SCH Library или командой главного меню Tools>>Component Properties активизировать диалог редактирования свойств компонента. Откроется диалоговое окно Library Component Properties (рис. 3.9).

2. В поле Default Designator внести буквенный префикс позиционного обозначения по ГОСТ 2.710-81. Для транзистора это VT. Добавить в строку с префиксом вопросительный знак. При составлении электрической схемы на его место в позиционное обозначение вносится порядковый номер компонента, в пределах группы функционально однородных.

3. В поле Comment вписать строку комментария, в нашем случае NPN.

4. В поле Description вписать описание компонента, по которому он будет отыскиваться при активизации поисковой системы. В нашем случае описание может быть, например, Transistor NPN Generic.

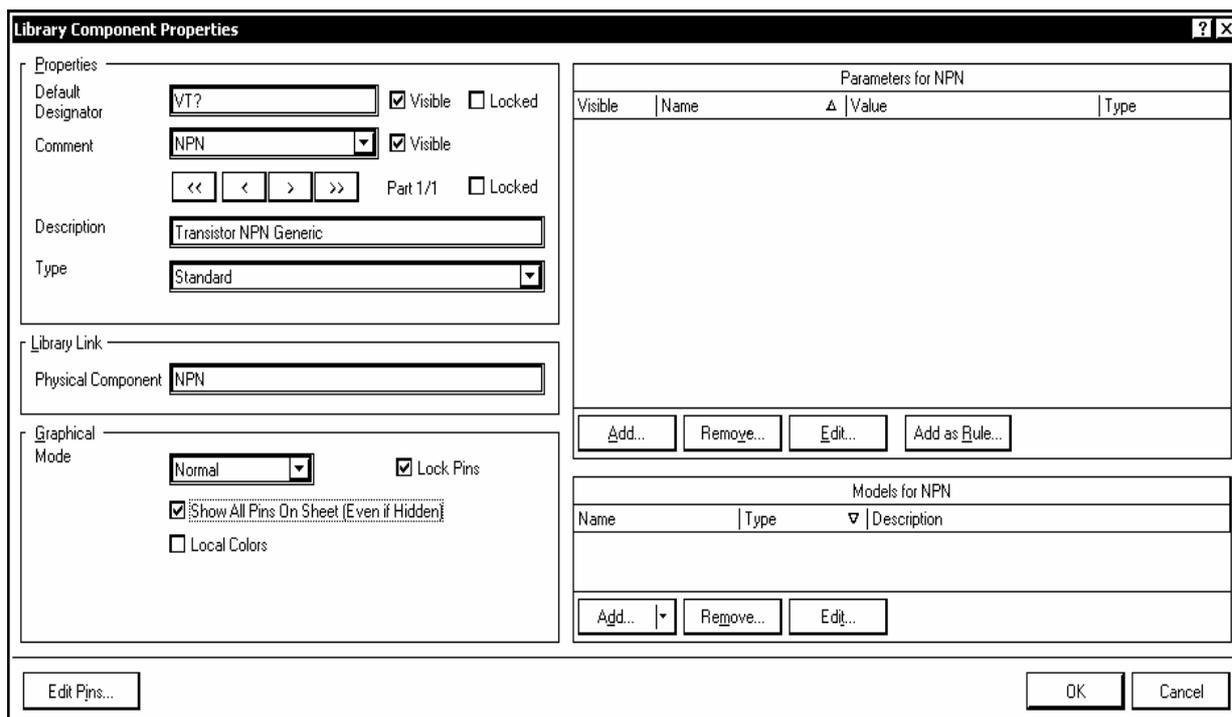


Рис. 3.9

Остальные поля в правой половине окна на рис. 3.9, остаются пока свободными. Они будут заполняться при присоединении к компоненту моделей.

3.3. Библиотеки топологических посадочных мест

3.3.1. Создание новой библиотеки посадочных мест

Процедура формирования новой библиотеки топологических посадочных мест (ТПМ) компонентов не отличается от процедуры формирования библиотеки схемных символов:

1. Активизировать команду главного меню File>>New>>Library>>PCB Library. В главном окне Altium Designer открывается пустое рабочее пространство редактора PCB-библиотек с именем новой библиотеки PcbLib1.PcbLib. Одновременно имя библиотеки появляется в поле проектов плавающей панели Projects как свободный документ.

2. Переименовать новую библиотеку: активизировать команду главного меню File>>Save As и указать имя библиотеки, например TPM.PcbLib.

3. Щелчком мыши на закладке PCB в строке статуса и выбором в выпадающем меню команды PCB Library активизировать плавающую панель редактирования ТПМ (рис. 3.10, а).

В поле Components этой панели представлено имя нового, пустого компонента PCBCOMPONENT_1.

4. Вывести курсор в свободное поле главного окна со щелчком левой клавишей, после чего несколько раз нажать клавишу Page Up (“горячая” клавиша масштабирования изображения), пока на экране не станет видна сетка.

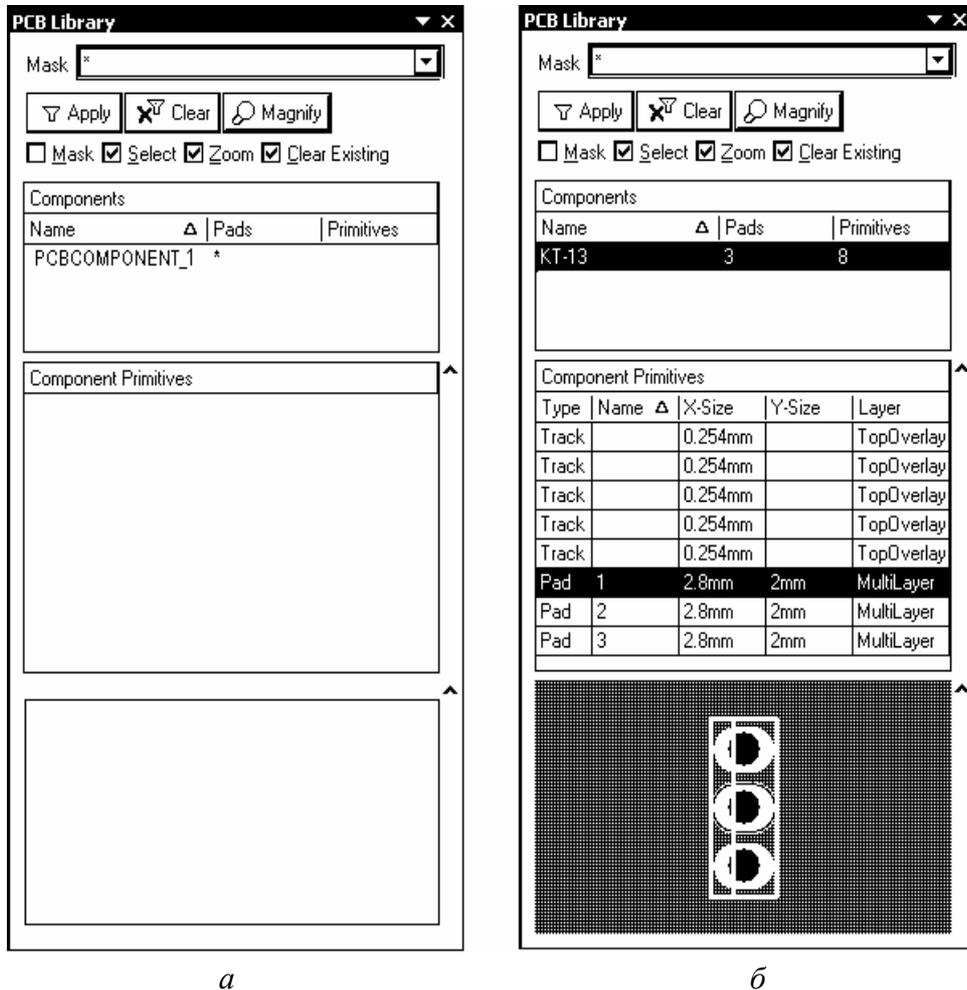


Рис. 3.10

В результате выполнения этих шагов рабочее пространство оказывается подготовленным для формирования посадочных мест компонентов. По умолчанию графический редактор имеет структуру слоев, обеспечивающую проектирование двухсторонней печатной платы:

- Top Layer – верхний слой печатных проводников;
- Bottom Layer – нижний слой печатных проводников;
- Mechanical 1 – первый “механический” слой (для изображения радиаторов, других элементов сборки);
- Top Overlay – слой шелкографии;
- Keep-Out Layer – слой барьеров трассировки;
- Multi-Layer – “мультислой” – слой контактных площадок.

3.3.2. Формирование топологического посадочного места

Формирование посадочного места компонента заключается в определении его конструкции и размещении в рабочем пространстве редактора PCB Component Editor контактных площадок для электрического подсоединения, а также в вычерчивании линий контура компонента. Линии контура располагаются обычно в слое шелкографии Top Overlay. Контактные площадки для монтажа компонентов со штыревыми выводами формируются в слое Multi-Layer. Контактные площадки для поверхностно монтируемых компонентов формируются в верхнем сигнальном слое Top Layer.

1. Перед началом формирования ТПМ следует задать систему единиц измерения и выполнить настройку сеток проектирования. Для этого активировать команду главного меню Tools>>Library Options. Откроется диалоговое окно Board Options (рис. 3.11).

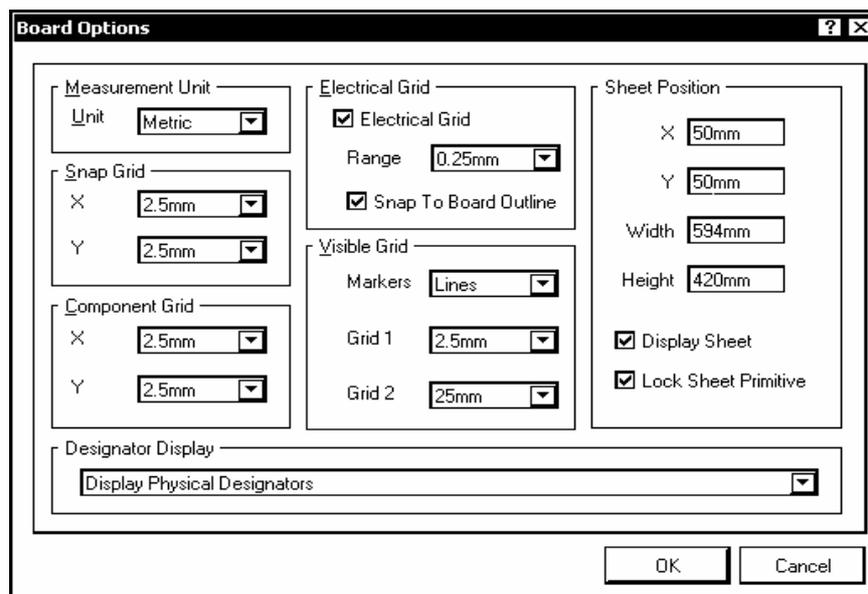


Рис. 3.11

Процедура настройки сеток подробно рассматривается в 4.2. Применительно к задаче формирования ТПМ отечественных компонентов следует установить метрическую систему единиц измерения и настроить три сетки:

- Component Grid – сетка размещения компонентов. Значение шага сетки по горизонтали и по вертикали выбирается из выпадающего списка или вводится с клавиатуры;
- Snap Grid – сетка захвата. Назначается для размещения графических объектов – линий, вырезов и т. п. Шаг данной сетки также назначается из

выпадающего списка или с клавиатуры и должен находиться в дробном соотношении с шагом сетки компонентов;

- Visible Grids – две, лучше всего кратные, так называемые видимые сетки. Эти сетки используются только для визуального контроля действий при размещении объектов, их выравнивании и выполнении других операций графического редактирования.

2. Переименовать открытое в панели PCB Library пустое посадочное место PCBCOMPONENT_1. Для определенности будем считать, что формируем посадочное место для отечественного транзистора КТ315. Назовем имя этого посадочного места по имени корпуса этого транзистора КТ-13. Для присвоения нового имени двойным щелчком мыши на имени PCBCOMPONENT_1 в панели PCB Library активизировать окно переименования компонента, указать имя КТ-13 и ввести описание (Description) – Footprint КТ-13.

3. Установить точку привязки графики в центр графического листа редактора ТПМ. Для этого воспользоваться “горячими” клавишами – последовательно нажать J, R.

Отметим, что за точку привязки (Reference Point) компонент, в том числе ТПМ, тянется за курсором и устанавливается на поле печатной платы. Поэтому, с точки зрения трассировки печатного монтажа, может оказаться предпочтительным располагать точку привязки не в центре графики, а на “ключевом” выводе компонента. Изменить положение точки привязки можно по команде главного меню Edit>>Set Reference.

Размещение контактных площадок:

1. Активизировать команду главного меню Place>>Pad (горячие клавиши P, P). Перед тем, как фиксировать плавающую за курсором контактную площадку (КП) на поле графического редактора, вызвать клавишей Tab диалог редактирования ее параметров. Откроется диалоговое окно свойств контактной площадки, Pad (рис. 3.12).

2. В поле Location указать координаты КП на поле графического редактора – в данном случае 0, 0.

3. В поле Hole Information установить вид и размер отверстия КП. Возможны следующие варианты формы отверстия:

- Round – круглое;
- Square – квадратное;
- Slot – щель.

Выбираем круглое отверстие диаметром (Hole Size) 1,4 мм. Такой диаметр превышает на 0,4 мм ширину ленточного вывода транзисторов в корпусе КТ-13 (требование ГОСТ 10317-79, обусловленное необходимостью свободной установки выводов компонентов в монтажные отверстия КП).

4. В поле Size and Shape выбрать форму и размеры площадки металлизации КП. Возможны следующие варианты формы:

- Round – круглая, а при указании разных размеров по осям X, Y – овальная форма;
- Rectangular – прямоугольная форма;
- Octagonal – восьмиугольник.

Для нашего ТПМ КТ-13 устанавливаем овальную форму с размерами X-Size 2,8 мм и Y-Size 2,0 мм.

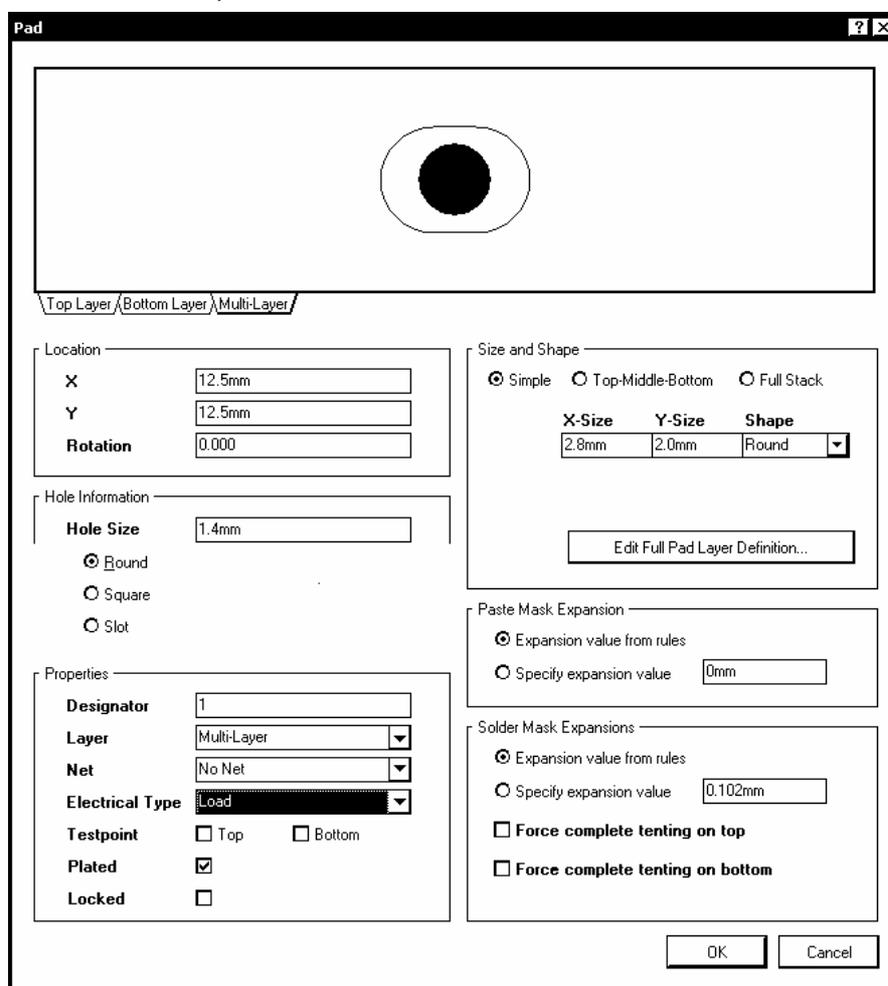


Рис. 3.12

5. В поле Properties назначить цоколевочное обозначение КП (Designator). Сохраним принятый для схемного символа порядок обозначений выводов и обозначим вывод коллектора цифрой 1. Кроме цифровых, возможны

буквенные (Alphabetic) и смешанные буквенно-цифровые обозначения выводов (Alphanumeric).

6. Зафиксировать сформированную КП коллектора на поле графического редактора щелчком мыши или клавишей Enter. После фиксации на экране первой сформированной КП за курсором начинается перемещаться следующая.

7. Зафиксировать вторую и третью КП (выводы базы и эмиттера) в ближайших узлах сетки с шагом 2,5 мм сверху и снизу от КП коллектора. Обозначения Designator при этом автоматически инкрементируются.

8. Завершить установку КП щелчком правой клавиши мыши или клавишей Esc. Сохранить полученный результат командой File>>Save.

Черчение контуров корпуса компонента:

1. Активизировать слой графического редактора Top Overlay, предназначенный для изображения контуров компонента в проекции, соответствующей способу установки его на плату.

2. Активизировать команду главного меню Place>>Line. Клавишей Tab вызвать диалог настройки параметров линии. Установить тип линии Solid – сплошная, толщину линии Small (0,254 мм).

3. Клавишей G активизировать настройку сеток и выбрать активную сетку захвата Snap Grid с шагом 0,25 мм.

4. Вычертить прямоугольник размерами 3×7,5 мм, с центром симметрии в точке расположения КП коллектора (средняя КП из трех). Затем прорисовать линию фаски с отступом на 1 мм от левого края контура. Информация о геометрии контуров сформированного ТПМ и контактных площадках отображается в полях плавающей панели PCB Library (см. рис. 3.10, б).

5. Сохранить окончательный результат формирования ТПМ компонента командой File>>Save.

Защитная маска и маска припойного трафарета. В структуру контактной площадки входят две маски: Solder Mask – маска для защиты печатных проводников от воздействия влаги и перетекания припоя при монтаже, и Paste Mask – маска, по которой выполняется трафарет для нанесения припойной пасты перед пайкой поверхностно-монтируемых (SMD) компонентов. Маски формируются на верхней и нижней сторонах платы. При настройке параметров КП есть возможность указать величину отступа краев отверстий в каждой из масок от края площадок металлизации на наружных слоях. Настройка выполняется в полях диалогового окна (рис. 3.12):

1. В поле Paste Mask Expansion активизировать одну из опций: Expansion Value from Rules либо Specify Expansion Value. В первом случае значение отступа маски берется из правил, установленных для всего проекта в конфигурации редактора печатной платы командой Design>>Rules. Во втором случае значение отступа назначается конструктором.

2. В поле Solder Mask Expansion установить значения расширения окон в защитной маске. Значение расширения, установленное по умолчанию в правилах проектирования, составляет 0,102 мм.

Здесь также может быть указано полное перекрытие защитной маской площадок металлизации КП на наружных слоях – опции Force Complete Tenting on Top и Force Complete Tenting on Bottom. Включение или отключение видимости масок управляется из диалогового окна, активизируемого командой главного меню Tools>>Layers & Colors. Для включения видимости каждой из четырех масок активизируется опция Show. В нижней части главного окна программы при этом активизируется закладка с именем соответствующего слоя.

3. Командой главного меню File>>Save As сохранить библиотеку TRM.PcbLib с созданным ТПМ в дисковой памяти компьютера.

4. Для включения сформированной РСВ-библиотеки с единственным пока компонентом в дерево библиотечного проекта Transistor.LibPkg щелчком правой клавиши мыши на имени проекта вызвать плавающее контекстное меню и активизировать в нем команду Add Existing to Project. Откроется стандартный диалог поиска библиотечного файла. Кнопкой Open (или “Открыть”, в зависимости от локализации ОС) найденный библиотечный файл включается в дерево проекта.

3.4. Присоединение моделей к схемному компоненту

Присоединение моделей делает компонент пригодным к применению в сквозном проектировании функциональных узлов. При присоединении модели в среде редактора библиотеки схемных элементов (Schematic Library Editor) она оказывается связанной с компонентом, но ее данные не включаются в состав схемного компонента. Это означает, что связываемые модели должны быть доступны при формировании библиотек и при помещении компонента на лист схемы. Поиск моделей для подключения к компоненту происходит в следующей очередности:

1) в библиотеках, включенных в дерево текущего проекта;

2) в РСВ-библиотеках (но не интегральных библиотеках), входящих в список библиотек, включенных в рабочую среду текущего проекта функционального узла;

3) в любых библиотеках, путь к которым определен командой главного меню Project>>Project Options.

3.4.1. Подключение модели посадочного места

Будем считать, что топологическое посадочное место (ТПМ) для разрабатываемого нами компонента схемной библиотеки – NPN транзистора КТ315 – сформировано и сохранено в РСВ-библиотеке TPM.PcbLib под именем КТ-13 (название корпуса транзистора КТ315).

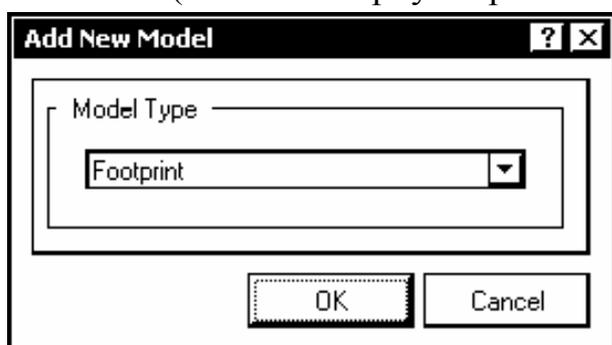


Рис. 3.13

1. Щелчком левой клавиши мыши по кнопке Add в поле моделей плавающей панели SCH Library (см. рис. 3.6, а) активизировать процедуру присоединения модели. Открывается диалоговое окно Add New Model (рис. 3.13), в котором следует указать тип модели – Footprint.

2. По щелчку на ОК откроется диалоговое окно PCB Model (рис. 3.14) с пустыми полями.

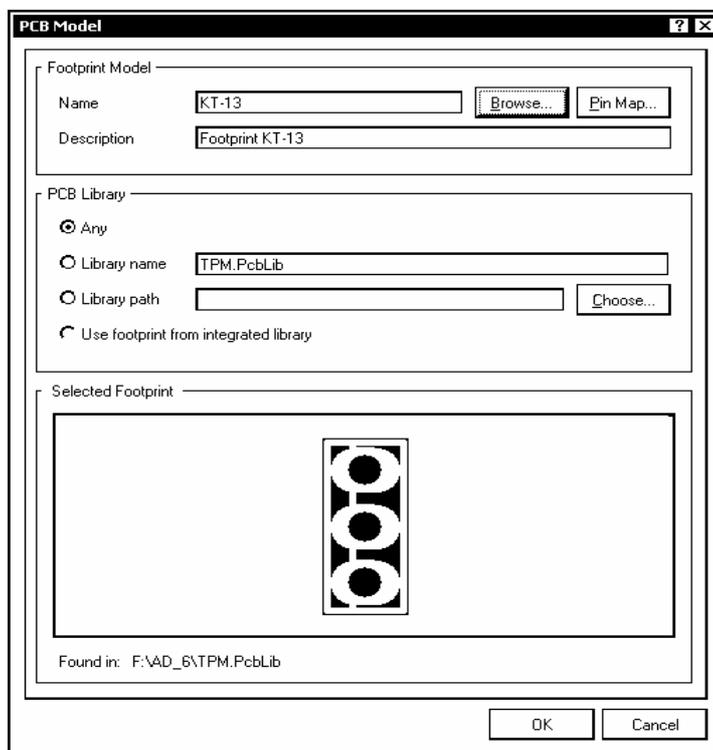


Рис. 3.14

Кнопкой Browse открыть поиск PCB-библиотеки, содержащей интересующую нас топологическую модель.

3. Открывается диалоговое окно просмотра библиотек Library Browse (рис. 3.15). Поскольку библиотека TPM.PcbLib, содержащая ТПМ КТ-13 включена в дерево проекта Transistor.LibPkg, поиск сразу обнаруживает его.

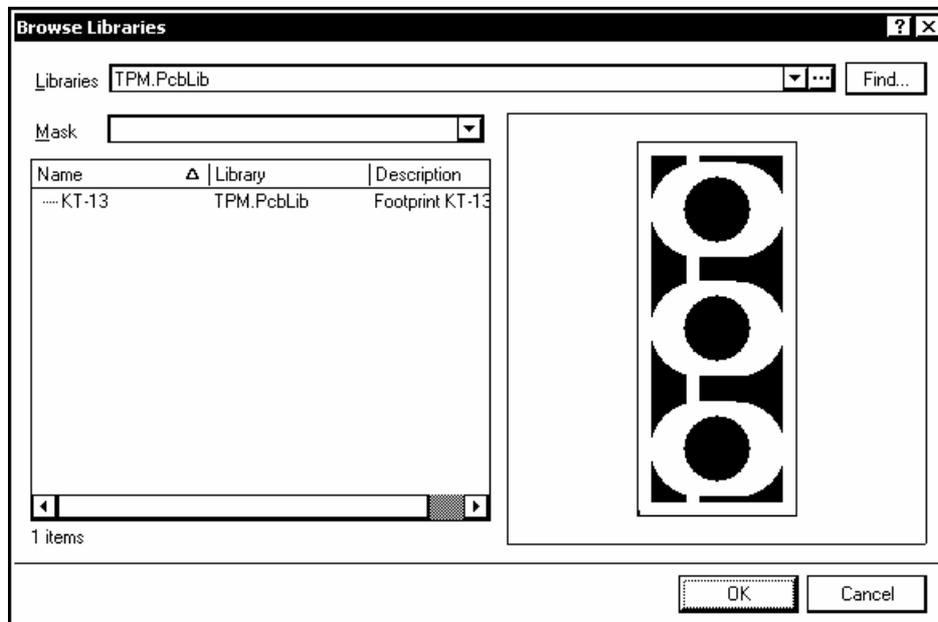


Рис. 3.15

В полях окна на рис. 3.15 отображается имя библиотеки, имя ТПМ и его описание, а также графическое изображение контура и контактных площадок. Кнопкой ОК окно закрывается, а данные из его полей передаются в окно PCB Model (рис. 3.14).

4. Завершить процедуру подключения ТПМ кнопкой ОК в окне рис. 3.13. В поле моделей плавающей панели Sch Library отображаются сведения о подключенной модели ТПМ – его имя, тип и описание.

3.4.2. Подключение SPICE-модели

В библиотеках Altium Designer 6 SPICE-модели компонентов обычно хранятся в составе интегрированных библиотек. Нас же интересует процедура присоединения “сторонних” моделей, специально разработанных для отечественной компонентной базы. Эти модели представляют собой отдельные текстовые файлы, составленные по правилам SPICE-технологии моделирования. Они могут храниться в пользовательских каталогах файловой системы компьютера. Имена файлов моделей дискретных компонентов имеют расширения *.mdl, а имена файлов макромоделей – расширения *.ckt. В целях уп-

рощения процедуры поиска, а также для объединения в дальнейшем компонентов схемной библиотеки и моделей в интегральную библиотеку, начнем процедуру подключения SPICE-моделей с включения их в состав дерева библиотечного проекта.

1. Щелчком правой клавиши мыши на имени библиотечного проекта в плавающей панели Projects вызвать контекстное меню и активизировать в нем команду присоединения к проекту файла SPICE-модели. Откроется стандартный диалог поиска файлов в памяти компьютера. Найденный файл KT315A.mdl будет включен в дерево библиотечного проекта Transistor.LibPkg.

2. Кнопкой Add в поле моделей плавающей панели SCH Library активизировать процедуру поиска и присоединения SPICE-модели к компоненту схемной библиотеки. В диалоговом окне Add New Model (см. рис. 3.13) указать категорию модели Simulation. Откроется диалоговое окно поиска модели Sim Model (рис. 3.16).

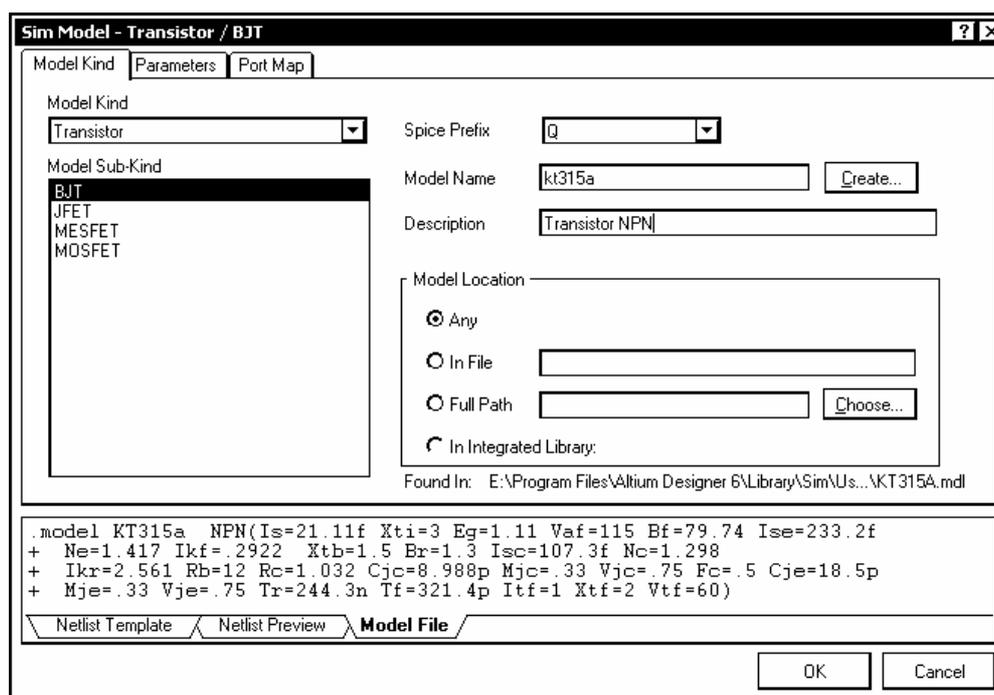


Рис. 3.16

3. В поле Model Kind выбрать вид модели – Transistor.

4. В поле Model Sub-Kind указать разновидность транзистора – в нашем случае BJT, биполярный транзистор.

5. В поле имени модели, Model Name, указать имя KT315A. Если ссылка на файл модели присутствует в дереве проекта Transistor.LibPkg, в полях-закладках в нижней части окна рис. 3.15 отображаются сведения о подключаемой модели:

- Netlist Template – строка формальных параметров;
- Netlist Preview – образец текстовой строки SPICE-описания транзистора в задании на моделирование;
- Model File – текст файла описания SPICE-модели.

6. Щелчком на ОК закончить операцию присоединения модели.

3.4.3. Подключение моделей *Signal Integrity*

Для моделирования паразитных эффектов в печатном монтаже необходимо включить в описание компонентов схемной библиотеки модели входных и выходных буферов интегральных микросхем, электрических выводов других компонентов. Модель зависит от типа, схемотехники и технологии изготовления компонента. Обычно задаются значения активного входного/выходного сопротивления и входной (выходной) емкости. Модели бывают внешние, поставляемые производителями компонентов и встроенные, параметры которых задаются непосредственно в среде редактора библиотек.

Процедура присоединения моделей *Signal Integrity* не отличается от процедуры присоединения моделей ТПМ или SPICE-моделей^

1. Активизировать в поле моделей плавающего окна SCH Library и указать в диалоговом окне, рис. 3.13, вид модели – *Signal Integrity*. Открывается диалоговое окно *Signal Integrity Model* (рис. 3.17)/

2. Для подключения встроенной модели сформированного нами NPN-транзистора (его выводов) указать в поле Model Name имя NPN, в поле описания, Description, ввести описание Generic NPN, а в поле Type выбрать тип модели BJT – биполярный транзистор.

3. Щелчком на ОК завершить настройку.

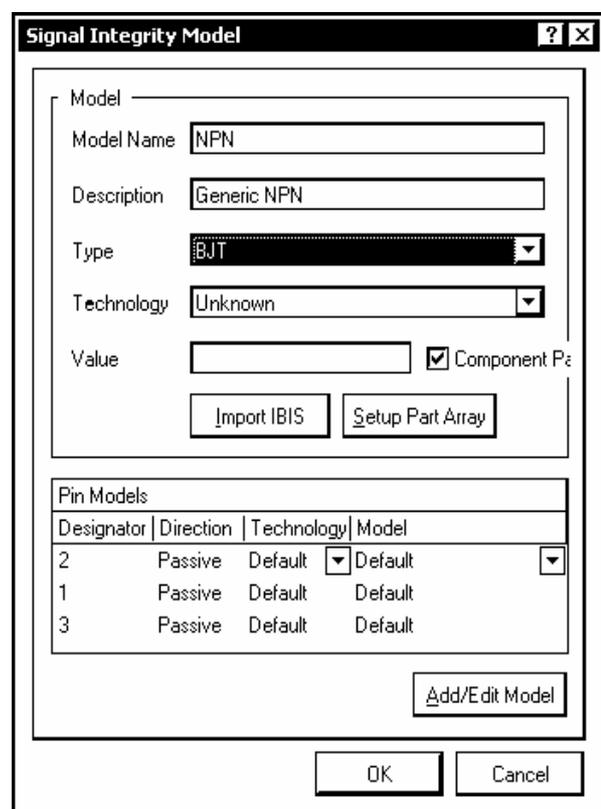


Рис. 3.17

Сведения о присоединенной модели отображаются одновременно в полях моделей плавающей панели SCH Library и главного окна редактора библиотек Schematic library Editor (рис. 3.18).

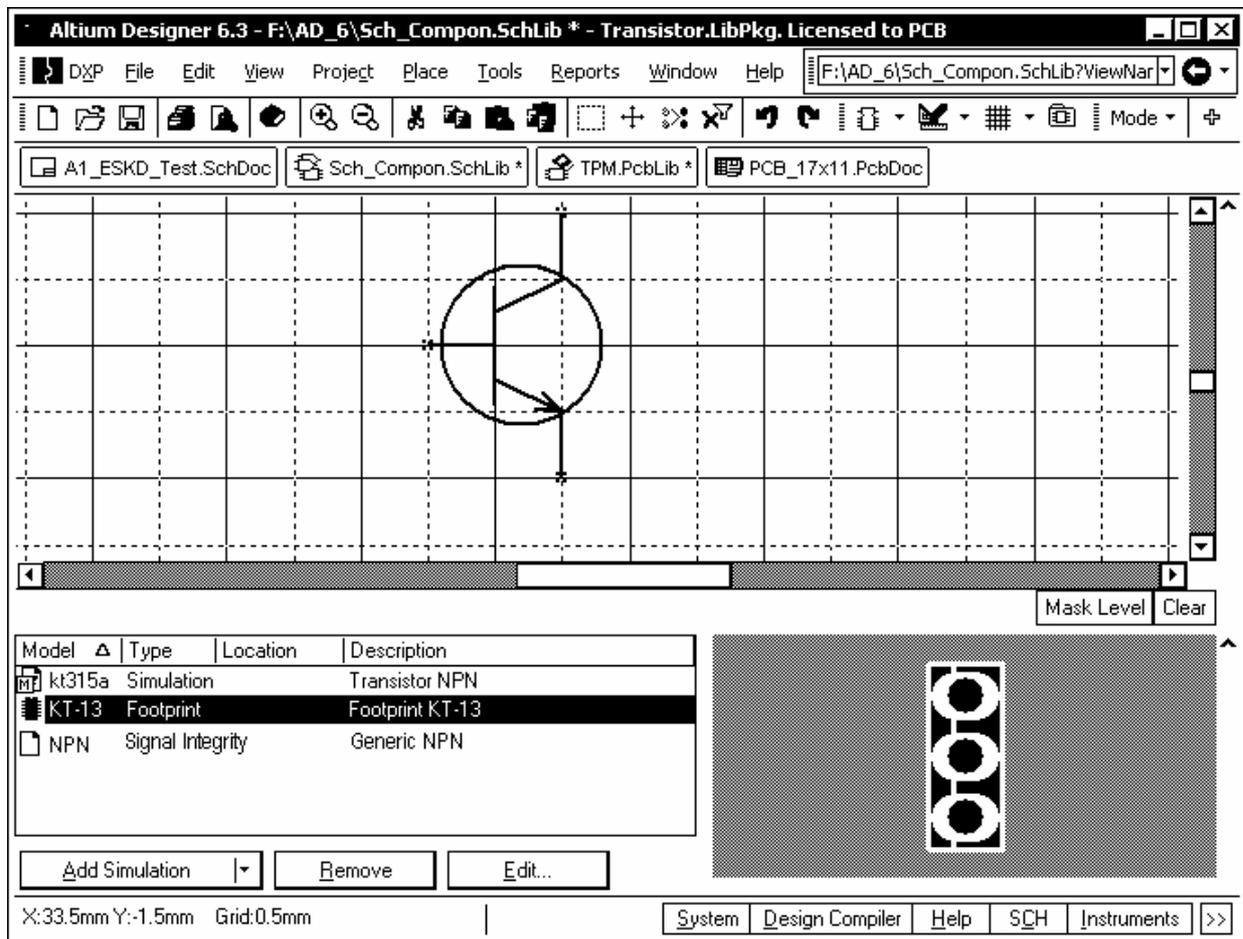


Рис. 3.18

В главном поле располагается схемное УГО компонента, в поле слева внизу – список ссылок на модели и кнопки управления функциями редактирования, в правом нижнем поле отображается ТПМ компонента.

3.5. Компиляция интегральной библиотеки

В результате рассмотренных процедур получается библиотечный пакет (проект), иерархическое дерево которого объединяет библиотеку схемных символов, ТПМ и другие модели компонентов. Однако, как уже говорилось, защита компонента от случайных повреждений, компактность библиотеки и наибольшие удобства использования достигаются, когда эти составляющие объединяются в интегральную библиотеку. Рассмотрим процедуру формирования интегральной библиотеки на примере разработанной библиотеки транзисторов (пока что всего с одним NPN-транзистором).

1. Щелчком правой клавиши мыши на имени библиотечного проекта Transistor.LibPkg в плавающей панели Projects активизировать контекстное меню и указать в нем команду Compile Integrated Library Transistor.LibPkg.

2. Если компиляция проходит без ошибок, формируется интегральная библиотека Transistor.IntLib. Библиотека автоматически сохраняется в подкаталоге ...\Project Outputs for Transistor\Transistor.IntLib того каталога, в котором находятся файлы-источники – библиотека схемных компонентов и библиотека ТПМ.

Файлы описания моделей также копируются и компилируются в интегральную библиотеку. Новая интегральная библиотека включается в состав библиотек, подключенных к рабочему пространству Altium Designer, и ее компоненты могут в дальнейшем использоваться в сквозном проектировании радиоэлектронных функциональных узлов.

3.6. Конверсия библиотек P-CAD 200X в формат Altium Designer 6

При отказе от использования P-CAD и переходе к проектированию в среде Altium Designer необходимо обеспечить по возможности безболезненный переход от одного формата данных к другому, с тем, чтобы можно было поддерживать и развивать ранее выполненные проекты. Altium Designer предоставляет средства такой конверсии – Import Wizard (мастер, или дословно – волшебник импорта).

Проекты и библиотеки, подлежащие конверсии, должны быть в среде P-CAD 200x преобразованы в текстовый формат ACCEL ASCII. Преобразование библиотечных наборов выполняется в среде Library Executive.

1. Активизировать команду главного меню Library>>Translate. Открывается одноименное диалоговое окно (рис. 3.19).

2. В поле Source Format выбрать формат P-CAD Binary.

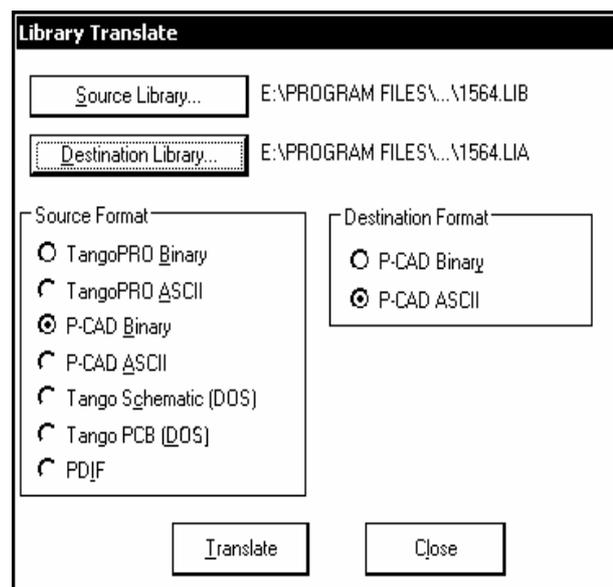


Рис. 3.19

3. В поле Destination Format указать текстовый формат P-CAD ASCII.
4. Щелчком по кнопке Source Library активизировать стандартную процедуру поиска исходного библиотечного файла в двоичном формате *.lib.
5. Щелчком по кнопке Destination Library активизировать диалог назначения имени конвертированного библиотечного файла. Имя файла должно иметь расширение *.LIA.
6. Кнопкой Translate запустить преобразование. Закончить процедуру кнопкой Close.

Следующим этапом является собственно конверсия структуры библиотек P-CAD 200x в формат Altium Designer:

1. Запустить процедуру преобразования командой File>>Import Wizard. Откроется диалоговое окно импорта. Кнопкой Next перейти к первому шагу импорта. В диалоговом окне на рис. 3.20 предоставляется возможность выбора исходного формата данных.

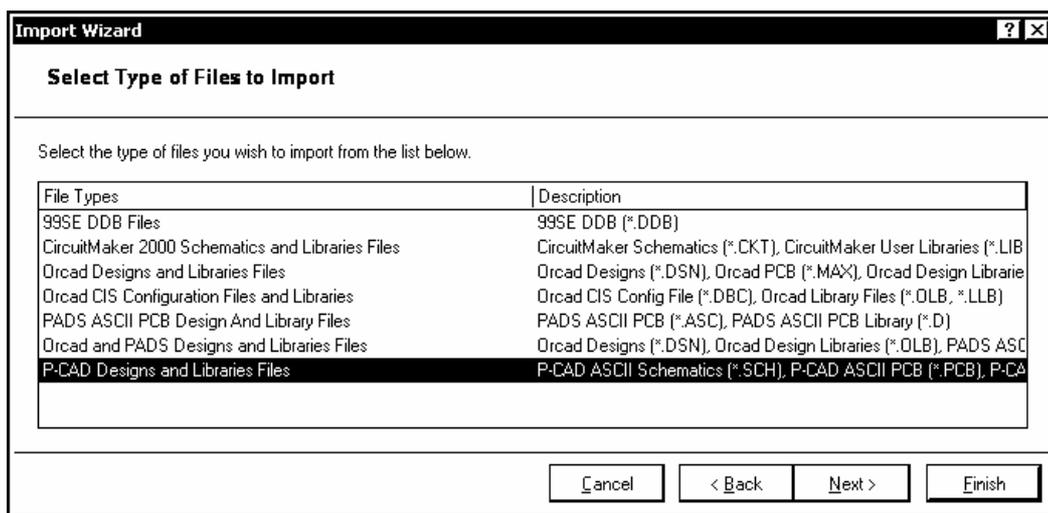


Рис. 3.20

Предусмотрена возможность выбора любого из семи исходных форматов. Выбираем формат данных P-CAD Design and Libraries Files и кнопкой Next переходим к следующему шагу.

На следующих двух шагах предоставляется возможность выбора импорта файлов проекта или библиотек.

2. При выборе импорта библиотек открывается диалоговое окно с обширным предупреждением, сообщающим о различии форматов библиотек P-CAD и Altium Designer и об особенностях преобразования (рис. 3.21).

В отличие от P-CAD, в котором описания контактов компонента и связи электрических контактов с контактными площадками посадочного

места, а также признаки эквивалентности контактов и логических секций сосредоточены в структуре “компонента”, объединяющей схемный символ (Symbol) с посадочным местом (Pattern), при конверсии в формат Altium Designer все эти данные передаются в структуру элемента библиотеки схемного редактора AdvSCH. Графика посадочного места и описания контактных площадок передаются в структуру элемента библиотеки графического редактора печатной платы AdvPCB.

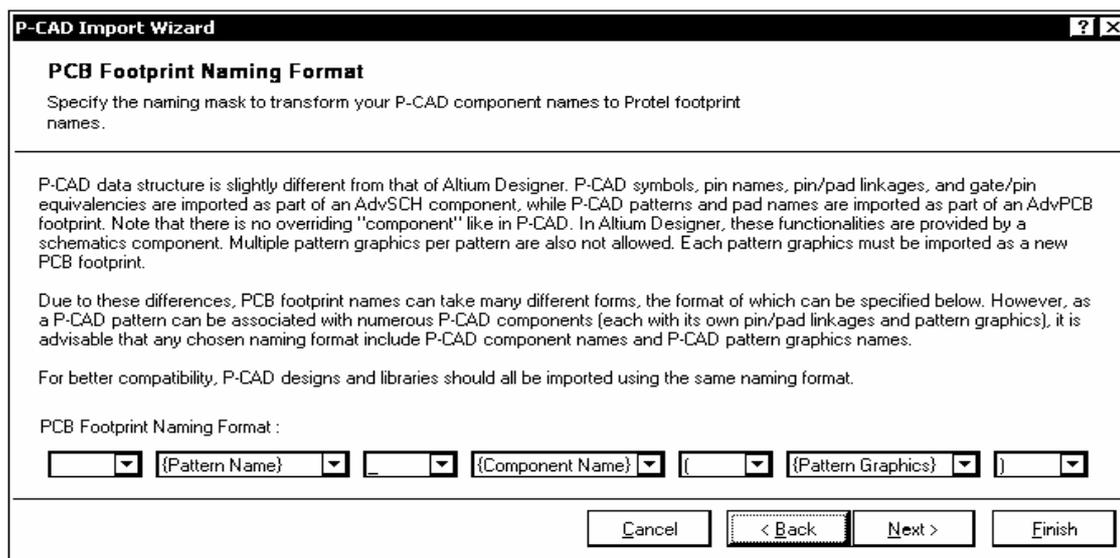


Рис. 3.21

Вследствие этих различий программа предлагает выбрать формат имени посадочного места. Имя может состоять из трех полей (рис. 3.21). Поля могут быть оставлены пустыми либо в них могут быть внесены имя компонента, имя посадочного места P-CAD и графики посадочного места (первичная и т. п.). Может также быть выбран разделитель полей в имени посадочного места в Altium Designer – точка, дефис или скобки.

Необходимо выбрать формат имени ТПМ в будущей библиотеке Altium Designer и кнопкой Next перейти далее (рис. 3.22).

3. На следующем шаге в диалоговом окне, рис. 3.22, указан путь и представлена структура конвертированной библиотеки.

В структуре базы данных Altium Designer строится ссылка на новую библиотеку, как на проект, состоящий из двух компонентов: библиотеки схемных элементов – файл *.SCHLIB, и библиотеки посадочных мест – файл *.PCBLIB. Кнопкой Next запустить преобразование.

4. По окончании конверсии завершить процедуру кнопкой Finish.

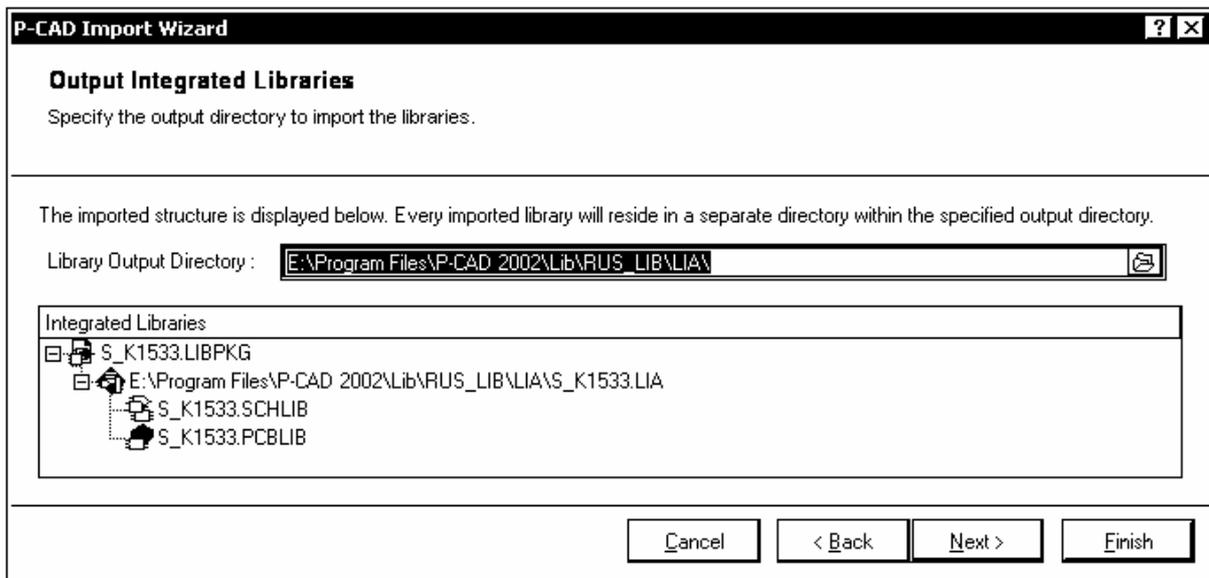


Рис. 3.22

В результате этих действий конвертированная библиотека включается в среду Altium Designer как иерархический библиотечный проект с именем исходной библиотеки и расширением имени *.LibPkg.

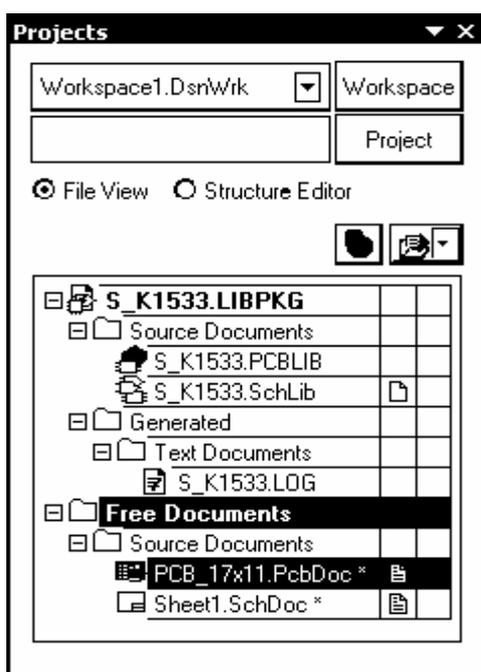


Рис. 3.23

Структура дерева этого проекта отобразится в окне проектов пакета (рис. 3.23). Дерево состоит из двух ветвей – библиотеки символов *.SchLib для схемного редактора и библиотеки посадочных мест *.PcbLib для редактора печатной платы.

5. Щелчком правой клавиши мыши на имени проекта конвертированной библиотеки активизировать команду компиляции интегрированной библиотеки Compile Integrated Library. Компилированная библиотека *.IntLib присоединится к рабочей среде пакета.

Автоматически активизируется окно просмотра присоединенных библиотек. В полях просмотра будут представлены имя новой компилированной библиотеки и состав входящих в нее компонентов. Многосекционные компоненты отобразятся в виде свернутого дерева, ветви которого могут быть развернуты, так что станет доступной возможность установки на поле схемы отдельных секций по выбору.

3.7. Включение библиотек в рабочую среду Altium Designer

Для того чтобы получить возможность использования библиотек схемных элементов в редакторе электрической схемы или посадочных мест компонентов в редакторе печатной платы, библиотеки должны быть включены в рабочую среду Altium Designer.

Процедура включения интегрированных библиотек в рабочую среду программы следующая:

1. Активизировать в главном меню цепочку команд: View>>Workspace Panels>>System>>Libraries, или закладку Libraries на краю рабочего окна программы. Откроется плавающая панель Libraries (рис. 3.24).

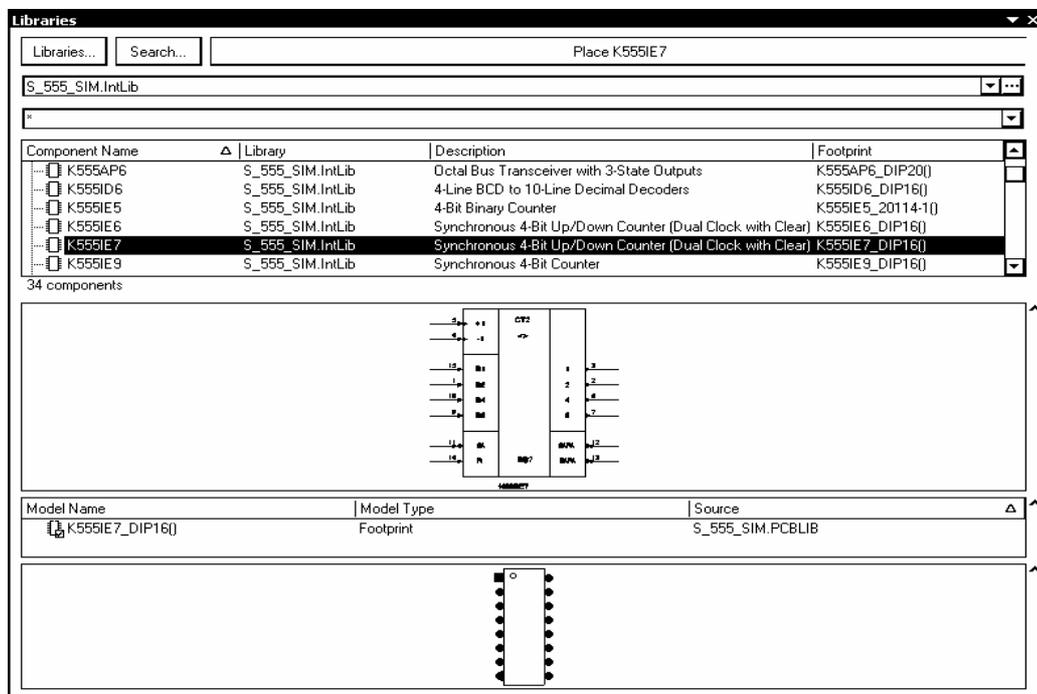


Рис. 3.24

В полях этой панели представлены имя одной из ранее подключенных библиотек, состав ее компонентов и их краткое описание, условно-графическое обозначение схемного элемента, на который указывает курсор селекции, сведения о модели компонента: в простейшем случае это имя топологического посадочного места (ТПМ) и библиотеки, в которой ТПМ хранится, а также его графическое изображение.

Панель может растягиваться или сжиматься обычным для окон MS Windows способом, перемещаться по экрану и “приклеиваться” к краям рабочего графического окна программы.

2. Для присоединения недостающих библиотек щелчком на кнопке Libraries в верхней части панели активизировать окно со списком установленных библиотек Installed Libraries (рис. 3.25).

3. Кнопкой Install активизировать стандартный диалог поиска библиотек для присоединения их к рабочей среде программы. Найденные библиотеки подключить щелчком на кнопке Open в окне поиска.

4. Кнопкой Close в окне на рис. 3.25 завершить подключение библиотек.

Если при этом было открыто окно текущего проекта электрической схемы, выбранные символы подключенных библиотек могут быть вызваны на поле проектируемой схемы кнопкой Place<Имя_компонента>.

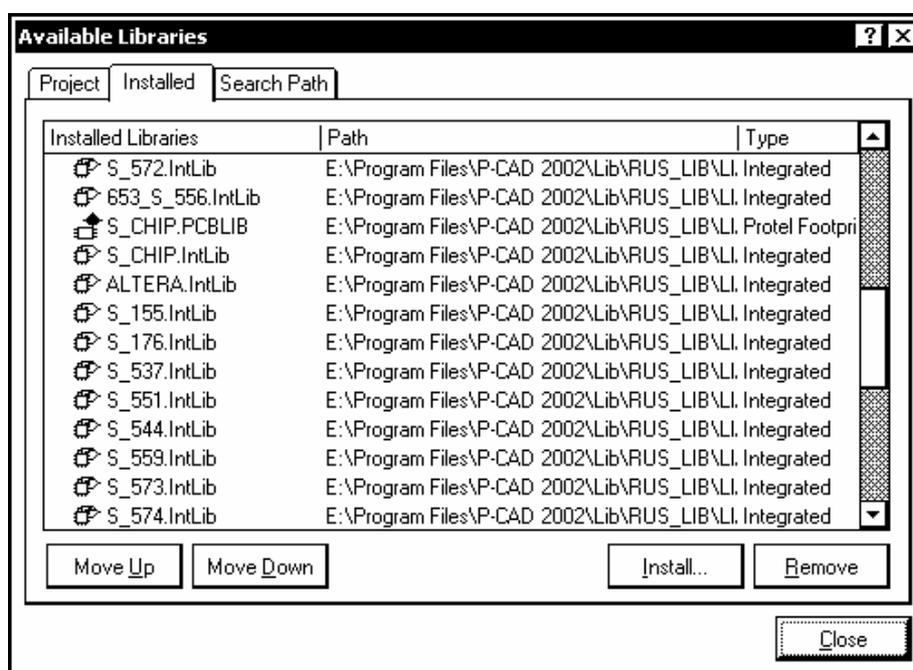


Рис. 3.25

Для исключения ненужных в проекте библиотек вызвать аналогично п. 2 диалоговое окно (рис. 3.25), указать в нем ненужные библиотеки и удалить их из списка кнопкой Remove.

3.8. Поиск компонентов в интегрированных библиотеках

Altium Designer 6 располагает эффективными средствами поиска нужного компонента в библиотеках, когда путь к нему и имя библиотеки неизвестно. Поиск выполняется следующим образом:

1. Активизировать поиск кнопкой Search в панели Libraries (см. рис. 3.24). Откроется диалоговое окно Libraries Search (рис. 3.26).

2. В верхнем, текстовом, поле окна указать “маску поиска” – написать группу символов, которая наверняка является частью имени искомого компонента. Звездочки слева и справа от написанных символов расширяют поиск на все имена во всех библиотеках, в том числе и не подключенных, частью которых является указанная последовательность символов.

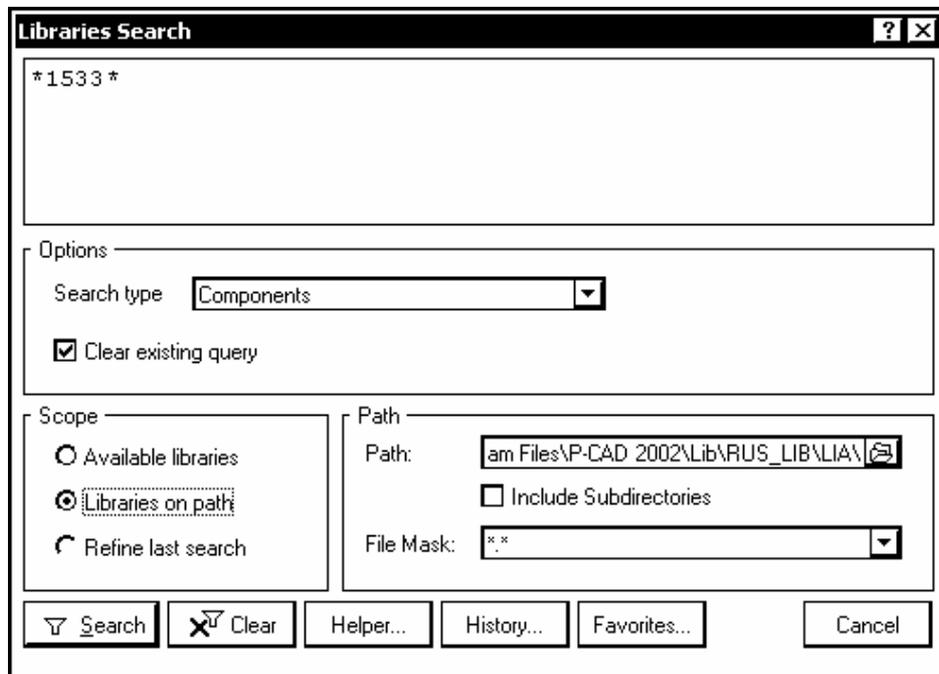


Рис. 3.26

3. В поле Options указать в выпадающем списке Search Type тип объектов поиска: библиотечные компоненты, посадочные места, трехмерные модели или компоненты из баз данных.

4. Кнопкой Helper (помощник) может быть активизирована функция расширения маски поиска – указаны дополнительные признаки, их логическое сочетание, параметры и (или) арифметические операции над ними и т. д.

5. В поле Scope указать область поиска библиотечного компонента:

- Available Libraries – поиск в установленных библиотеках;
- Libraries on Path – поиск по заданному пути.

В последнем случае в поле Path указать путь, по которому следует искать библиотеки.

6. Кнопкой Search начать поиск компонента.

Результаты поиска отображаются в плавающей панели Libraries, в списке Query Results, а значки найденных компонентов – в поле просмотра. Имя выбранного компонента появляется на кнопке Place в диалоговом окне рис. 3.24. Щелчком на Place компонент, в зависимости от выполняемой стадии

проектирования, выносятся на поле графического листа схемы или печатной платы, где может быть зафиксировано нужное число его копий.

4. НАСТРОЙКА КОНФИГУРАЦИИ ГРАФИЧЕСКИХ РЕДАКТОРОВ

Проект печатной платы Altium designer 6 должен содержать как минимум два основных документа: электрическую принципиальную схему и интегральный графический образ печатной платы. Процедура образования нового проекта и включения в его логическую структуру новых документов – документа графического редактора листа электрической схемы и документа графического редактора печатной платы – рассмотрена в 2.2 и 2.3.

Будем считать, что разрабатывается проект ячейки фильтров нижних частот PCB_Filter.PrjPcb и в структуре проекта образованы документ схемного редактора – лист схемы PCB_Filter.SchDoc, и лист графического редактора печатной платы PCB_Filter.PcbDoc.

В следующих разделах рассмотрим вопросы настройки конфигурации графического листа редактора схемы и графического листа редактора печатной платы. При этом поставим перед собой задачу оформления документа электрической принципиальной схемы по ЕСКД.

4.1. Конфигурация графического редактора схем

4.1.1. Лист схемы по ЕСКД

Как при образовании нового схемного документа в структуре активного проекта, так и при открытии нового свободного документа командой File>New>>Schematic в рабочем пространстве схемного редактора открывается лист формата А1 одного из “западных” стандартов. Размеры листа составляют 800 × 565 мм. Размеры поля и графление бланка основной надписи отличаются от принятого в ЕСКД. По краям листа располагается рамка, разбитая на зоны, обозначенные по вертикали латинскими буквами, а по горизонтали – цифрами. Рассмотрим процедуру формирования бланка форматки по ГОСТ 2.301-68 с основной надписью по ГОСТ 2.104-2006 на примере листа формата А2:

1. Активизировать команду главного меню Design>>Document Options. Откроется диалоговое окно Document Options с тремя панелями-закладками: Sheet Options – настройки листа, Parameters – реквизиты документа и Units – система единиц измерения (рис. 4.1).

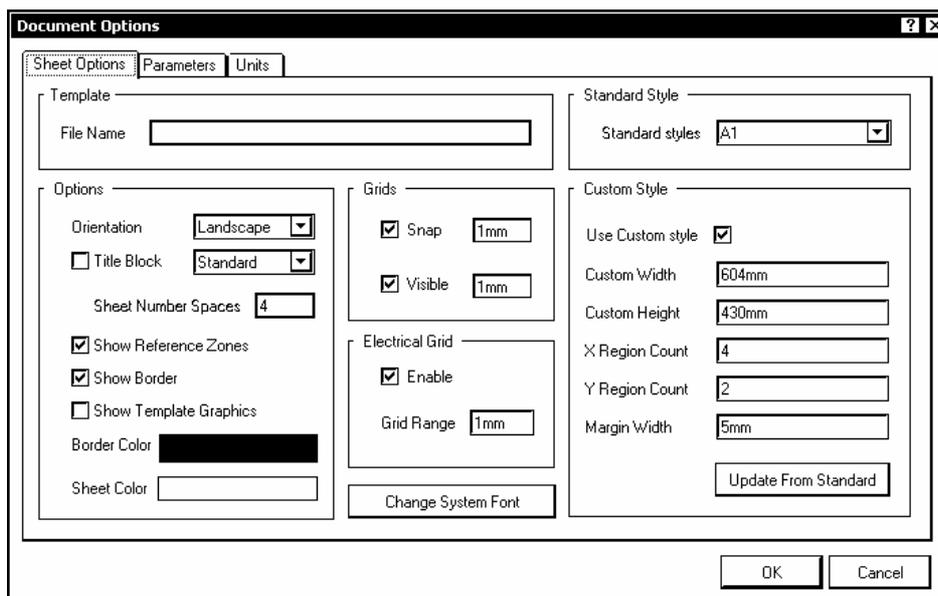


Рис. 4.1

2. Активизировать закладку Units и установить метрическую систему единиц – Metric. Перейти на закладку Sheet Options.

3. В поле Options отключить видимость основной надписи, пришедшей при открытии документа – убрать “птичку” опции Title Block; оставить видимыми границы листа и обозначения зон разметки – опции Show Border и Show Reference Zones.

4. В поле Grids установить значения шага сетки захвата (Snap) и видимой сетки (Visible) в 1 мм.

5. В поле пользовательских настроек Custom Style активизировать настройку пользовательского формата – опция Use Custom Style, и назначить размеры листа по горизонтали и по вертикали. При этом необходимо руководствоваться следующим. Зонная разметка должна быть сохранена для того, чтобы впоследствии, в схеме, была возможность перенумерации позиционных обозначений. С другой стороны, если оставить обозначения зон в пределах размеров стандартного листа 594 × 420 мм, то их расположение в рамке по левому полю листа входит в противоречие с необходимостью расположить в этом поле дополнительные графы основной надписи. Кроме того, настройка листа позволяет установить единую ширину поля по всему периметру листа, в то время как лист по ЕСКД должен иметь левое поле шириной 20 мм. Поэтому представляется целесообразным установить размеры листа такими, чтобы лист лежал краями по внутреннему краю рамки с разметкой зон. Чтобы добиться этого, для листа формата А2 назначить размеры Custom Width и Custom Height 604 × 430 мм, а ширину поля, содержащего зонную разметку, – Margin Width 5 мм.

Число зон разметки по горизонтали и по вертикали (X Region Count и Y Region Count) назначить 4 и 2 соответственно. Щелчком на ОК завершить настройки.

6. В главном меню программы активизировать команду черчения линий Place>>Drawing Tools>>Line. Клавишей Tab вызвать диалоговое окно настройки параметров линии (см. рис. 3.3, с. 18).

Выбрать толщину линии Small и построить в графическом окне схемного редактора внешний прямоугольник размерами 594 × 420 мм по внутренней рамке зонной окантовки листа.

Повторить диалог настройки толщины линии: выбрать толщину линии Medium и вычертить внутренний прямоугольник из начальной точки с координатами X = 25 мм, Y = 10 мм так, чтобы он образовал внутреннюю рамку формата A2: левое поле шириной 20 мм; остальные поля – 5 мм.

7. В правом нижнем углу листа вычертить графы основной надписи по ГОСТ 2.104-68; в левом верхнем углу и на левом поле – дополнительные графы.

8. Активизировать команду главного меню Place>>Text String и расставить шаблон “Text” в те графы основной надписи, где должны располагаться неизменяемые элементы – *Разраб.*, *Пров.*, *Т. контр.*, *Н. контр.* и др.

После этого двойным щелчком левой клавиши мыши на каждом из шаблонов “Text” по очереди вызвать окно редактирования текстовой строки (рис. 4.2) и ввести на место слова “Text” соответствующий неизменяемый элемент основной надписи. В этом же окне может быть изменена ориентация записи, ее центровка (Horizontal Justification и Vertical Justification), установлено зеркальное изображение (Mirror), выбран цвет символов.

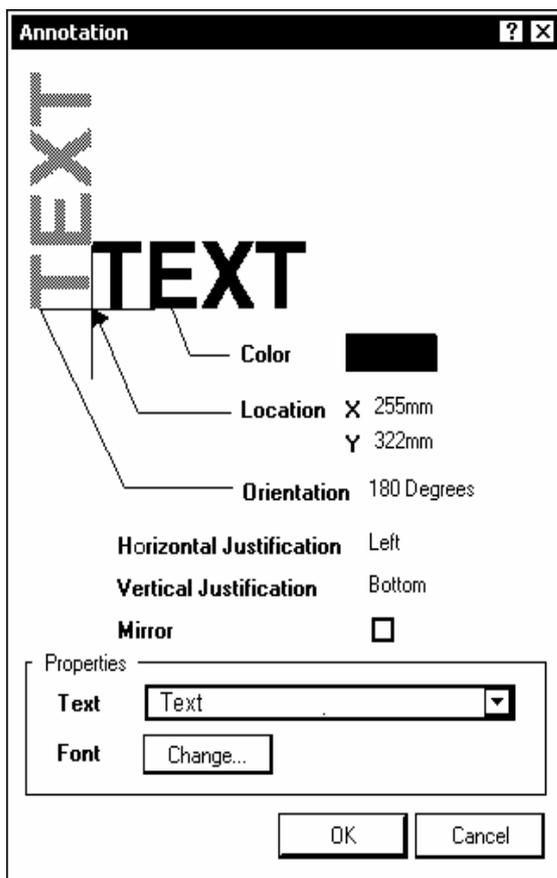


Рис. 4.2

Кроме того, по щелчку на кнопке Change могут быть изменены гарнитура текста (Font), размер и наклон символов. Применительно к нашей задаче следует назначить для неизменяемых элементов гарнитуру Arial, курсив, высоту (кегель) 14 пунктов.

4.1.2. Реквизиты документа

Реквизитами документа называются элементы основной надписи, относящиеся к разрабатываемому проекту: наименование изделия, обозначение документа по ЕСКД, фамилии разработчика и других лиц, имеющих право работать с документом – всего до 16 записей. В Altium Designer реквизиты, прежде чем оказаться на чертеже, заносятся в список параметров документа:

1. Командой главного меню Design>>Document Options активизировать диалоговое окно настройки параметров документа (см. рис. 4.1) и открыть закладку Parameters.

В колонке Name (имя) располагаются имена реквизитов (по-английски) – Author (Разработал), Checked By (Проверил) и др.

В колонку Value (значение) должны быть занесены имена разработчика, других лиц, наделенных правом проверки и утверждения документа, обозначение документа, а также другие реквизиты проекта.

На стадии формирования шаблона листа целесообразно проанализировать этот список, подобрать в нем подходящие по смыслу англоязычные записи и добавить несколько реквизитов, для которых нет подходящего эквивалента. *Программа не допускает использования символов кириллицы в именах реквизитов*, поэтому имена добавляемых реквизитов приходится писать латинскими буквами.

Приведем список реквизитов для документа по ЕСКД.

- Разработал (Author) – существует в исходном списке;
- Проверил (Checked By) – существует в исходном списке;
- Утвердил (Approved By) – существует в исходном списке;
- Обозначение по ГОСТ 2.201-80 (Drawing Number) – существующий реквизит;
- Наименование изделия (Title) – существующий реквизит;
- Индекс предприятия (Company Name) – существующий реквизит;
- Лист (SheetNumber) – существующий реквизит;
- Листов (SheetTotal) – существующий реквизит.

2. Кнопкой Add активизировать диалог назначения новых реквизитов и добавить к имеющемуся списку реквизиты, необходимые для документов по ЕСКД (ГОСТ 2.104-2000):

- Технологический контроль – имя TechContr;
- Нормоконтроль – имя NormContr;
- Тип документа (обозначение типа схемы по ГОСТ 2.701-84) – имя DocType;
- Литера – три реквизита с именами Lit1, Lit2, Lit3.

3. Сохранить построенный лист как файл шаблона (Schematic Template) с именем A2_ESKD.SchDot в пользовательском подкаталоге ...\\Templates.

4.1.3. Заполнение основной надписи документа

Поскольку такие реквизиты схемы электрической принципиальной радиоэлектронного функционального узла, как наименование узла, обозначение документа по ГОСТ 2.201-80 (так называемый десятичный номер), обозначение типа схемы (запись “Схема электрическая принципиальная”), фамилия разработчика, присваиваются документу еще до начала разработки схемы, имеет смысл заполнить их в самом начале работы над проектом – сразу после того как откроется файл шаблона листа:

1. Комбинацией клавиш Ctrl+N активизировать плавающую панель Files, затем в поле New from Template указать команду поиска шаблонов листов схемы Schematic Templates.

2. Выбрать файл шаблона листа по ЕСКД, например A2_ESKD.SchDot, и открыть файл.

3. Щелчком правой клавиши мыши открыть контекстное меню и активизировать последовательность команд Options>>Document Parameters. Откроется диалоговое окно Document Options (см. рис. 4.1) с активной закладкой Parameters.

4. По очереди выбрать в списке параметров (реквизитов документа) необходимые реквизиты документа и для каждого двойным щелчком левой клавиши мыши на пустом поле колонки Value открыть диалог редактирования свойств реквизита – Parameter Properties (рис. 4.3).

5. В поле Value диалогового окна вписать строку “значения” реквизита, например обозначение документа схемы электрической принципиальной по ГОСТ 2.201-80 – АБВГ.467222.001 ЭЗ. Установить для реквизита свойство видимости (Visible).

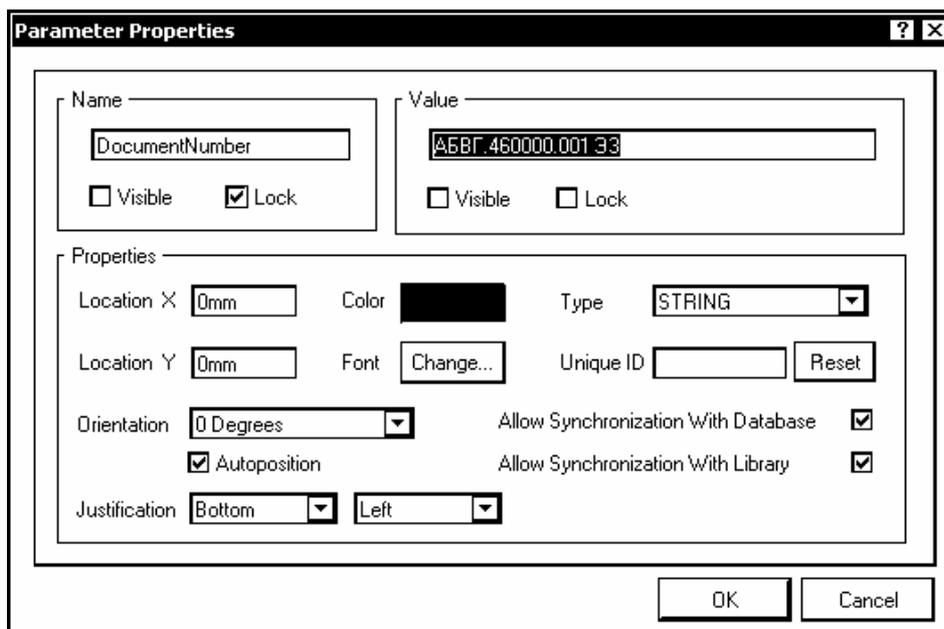


Рис. 4.3

6. В поле Properties (свойства) установить, если необходимо, ориентацию надписи (Orientation), ее центровку (Justification), задать цвет символов (Color) и гарнитуру текста (Font>>Change).

7. После того как значения всех реквизитов записаны и диалог закрыт, щелчком правой клавиши снова открыть контекстное меню и активизировать в нем последовательность команд Options>>Schematic Preferences. Откроется диалог настройки функций схемного редактора – окно Preferences.

8. В дереве функций в левой половине диалогового окна Preferences выбрать ветвь Schematic>Graphical Editing, после чего в правой половине окна активизировать опцию Convert Special Strings (конвертировать специальные строки). Закрыть диалог настройки функций схемного редактора (ОК).

9. Активизировать команду главного меню Place>>Text String и нажатием клавиши Tab вызвать диалоговое окно редактирования текстовой строки (см. рис. 4.2).

10. В поле Properties окна редактирования текста щелчком мыши развернуть выпадающий список в строке Text (рис. 4.4). В списке представлены “специальные строки” – имена реквизитов из поля параметров документа с предшествующим им знаком равенства.

11. Указать курсором строку =DocumentNumber и закрыть диалог щелчком на ОК. На поле графического листа появится и станет перемещаться вместе с курсором мыши строка с обозначением документа, в нашем случае

это АБВГ.467222.001 ЭЗ. Поместить эту строку в первую графу основной надписи документа и зафиксировать щелчком мыши.

Аналогичным образом перенести остальные реквизиты документа из списка параметров в графы основной надписи.

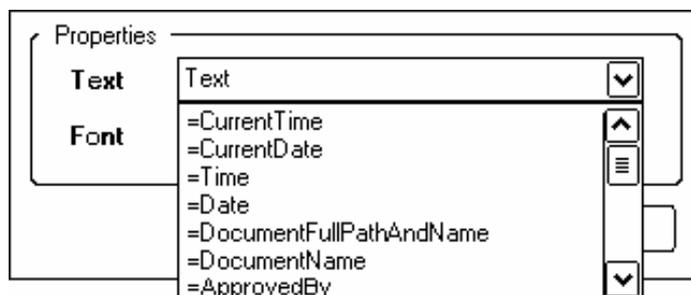


Рис. 4.4

Отметим, что при выборе в списке параметров строки =DocumentName на поле чертежа автоматически выводится имя файла схемы или шаблона независимо от того, какая запись была помещена в поле Value списка реквизитов в диалоговом окне настройки параметров документа. Это дает возможность поместить имя файла документа в одну из свободных или дополнительных граф основной надписи, как это требуется по ГОСТ 2.104-2000, в который включены нормы, касающиеся сведений об электронном документе, на основании которого выпускается “твердая копия” (чертеж).

В результате рассмотренной процедуры мы получим чистый лист схемы электрической принципиальной разрабатываемого функционального узла, стандартного формата А2 по ГОСТ 2.301-68, с заполненными графами основной надписи по ГОСТ 2.104-2000, готовый к составлению и редактированию схемы.

Сохраним подготовленный таким образом лист схемного документа как свободный документ с именем PCB_Filter.SchDoc.

4.2. Настройка конфигурации графического редактора печатной платы

4.2.1. Задание размеров листа

Для назначения размеров листа документа следует:

1. В плавающей панели Projects активизировать документ графического редактора печатной платы PCB_Filter.PcbDoc. В главном окне программы откроется графический лист редактора печатной платы с размещенным в центре листа контуром печатной платы.

2. Активизировать команду главного меню Design>>Board Options или щелчком правой клавиши мыши в поле графического листа активизировать контекстное меню и указать в нем последовательность команд Options>>Board Options. Откроется диалоговое окно управления свойствами листа Board Options (рис. 4.5).

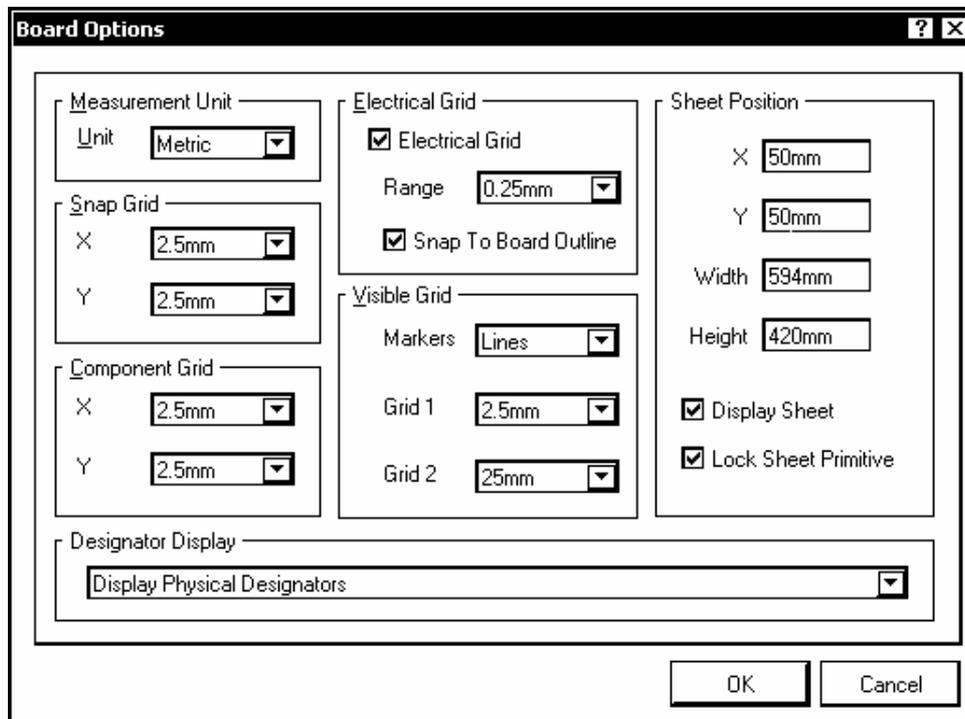


Рис. 4.5

3. В поле Sheet Position назначить размеры графического листа, на котором может формироваться рабочий чертеж печатной платы, и указать координаты левого нижнего угла листа в рабочем пространстве графического редактора печатной платы.

4. Установить видимость листа. При включенной видимости листа заготовка платы изображается на экране монитора на белом поле.

4.2.2. Сетки проектирования

При разработке проекта для размещения компонентов и других объектов на поле печатной платы назначаются сетки. Управление формированием сеток выполняется по команде главного меню Design>>Board Options (“горячие” клавиши D, O), либо из контекстного меню, вызываемого щелчком правой клавиши мыши в поле открытого листа проекта, подкомандами Options>>Board Options, Sheet или Grids. Во всех случаях открывается диалоговое окно Board Options (рис. 4.5).

1. Для размещения компонентов (и только для этого) назначить сетку Component Grid. Значение шага сетки по горизонтали и по вертикали выбрать из выпадающего списка или ввести с клавиатуры.

2. Для размещения прочих объектов – линий, вырезов и т. п., в том числе и печатных проводников – назначить сетку Snap Grid (сетка захвата). Ее шаг также назначается из выпадающего списка или с клавиатуры и должен находиться в дробном или кратном соотношении с шагом сетки компонентов, с тем, чтобы можно было легко попадать курсором в точки расположения выводов компонентов при трассировке печати. “Горячей” клавишей G вызывается контекстное меню, в котором шаг сетки Snap Grid может быть изменен.

3. Назначить “электрическую” сетку (Electrical Grid), служащую для размещения и присоединения друг к другу электрических объектов (печатных проводников). Данная сетка обладает приоритетом перед сеткой захвата Snap Grid. Шаг сетки назначается в зависимости от класса точности и технологии выполнения печатного проводящего рисунка. Попадая в пределы одного шага данной сетки, электрические объекты соединяются друг с другом – происходит их захват.

Комбинацией “горячих” клавиш Shift+E электрическая сетка активизируется или отключается в любой момент работы с проектом.

4. Кроме этих сеток должны быть назначены две так называемые видимые сетки Visible Grids. Они используются только для визуального контроля действий при размещении объектов, их выравнивании и других операциях графического редактирования.

При разработке нового проекта необходимо определить геометрию и структуру слоев заготовки печатной платы. Первый шаг по формированию структуры заготовки целесообразно выполнить, пользуясь встроенной в Altium Designer функцией мастера подсказки PCB Board Wizard (дословно – волшебник). Рассмотрим процедуру по шагам.

1. Активизировать плавающую панель меню Files. Для этого в главном меню программы активизировать цепочку команд: File>>New>>Other>>Files Panel, либо использовать комбинацию “горячих” клавиш Ctrl+N.

2. В поле New from template панели Files активизировать последнюю команду: PCB Board Wizard. Откроется диалоговое окно настройки параметров заготовки печатной платы. Настройка выполняется в несколько шагов.

На каждом шаге в диалоговом окне PCB Board Wizard (рис. 4.6) предлагается выполнить ряд установок. Последовательный переход от шага к шагу выполняется по щелчкам на кнопках Next и Back. Состав и содержание полей диалогового окна меняются в зависимости от характера выполняемых на очередном шаге операций.

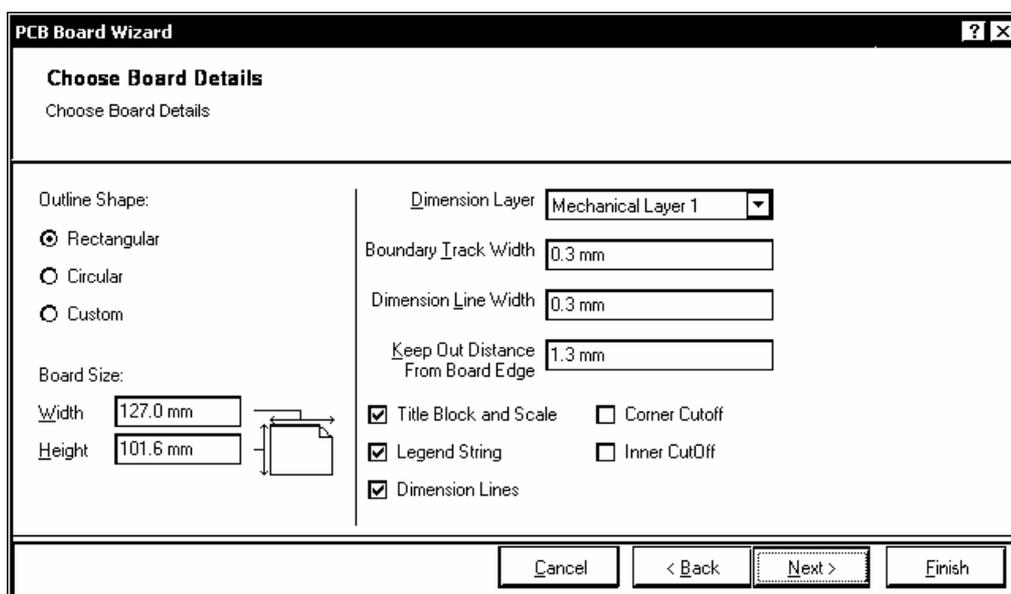


Рис. 4.6

3. На шаге Choose Board Units определить систему единиц измерения – указать Metric.

4. На шаге Choose Board Profiles откроется список из 60 возможных вариантов готовой заготовки. Сюда входят несколько типоразмеров “Евро-платы”, несколько вариантов адаптера PCI-шины и другие. Для формирования заготовки из ряда типоразмеров УБНК1 по ГОСТ 26765.12-86 выбираем вариант пользовательских установок – Custom.

5. На шаге Choose Board Details (рис. 4.6) указать:

- форму платы – прямоугольную (Rectangular), круглую (Circular) или произвольную (Custom), ограниченную прямоугольными отрезками и (или) дугами;
- размеры платы по горизонтали и по вертикали – Board Size;
- слой для размещения размерных линий (выбрать из числа “механических” слоев – по умолчанию – Mechanical Layer 1);
- толщину (ширину) линии, ограничивающей контур платы – Boundary Track Width;
- толщину размерных линий – Dimension Line Width;

- расстояние от края платы до ограничительной линии зоны трассировки печати – Keep Out Distance From Board Edge;

6. На шаге Choose Board Layers указать число сигнальных (Signal Layers) и экранных слоев печатной платы (Power Planes). Необходимые значения назначаются в полях просмотра диалогового окна.

7. На следующем шаге, Choose Via Style, предлагается выбрать один из двух стилей – только сквозные (Thruhole Vias only) или только слепые и захороненные переходные отверстия (Blind and Buried Vias only). В диалоговом окне показывается фрагмент разреза платы для выбранного случая.

8. На следующем шаге, Choose Component and Routing Technologies, следует выбрать преобладающий тип компонентов – поверхностно монтируемые (Surface-mount Components) или монтируемые штырями в отверстия (Through-hole Components). Для поверхностно монтируемых (SMT) указать правила установки компонентов – на одной или на обеих сторонах платы. Для штыревых компонентов предлагается указать, сколько печатных проводников может быть проведено между двумя переходными (монтажными) отверстиями, расположенными с шагом 2,54 мм, – один, два или три.

9. На следующем шаге, Choose Default Track and Via sizes в диалоговом окне приводятся минимальные значения ширины проводника, зазоров и диаметры контактной площадки и отверстия (см. табл. 4.1).

Таблица 4.1

Число проводников	Мин. ширина проводника, мм	Мин. диаметр контактной площадки, мм	Мин. диаметр отверстия, мм	Минимальные зазоры, мм
1	0,3	1,6	0,8	0,3
2	0,2	1,0	0,6	0,2
3	0,2	0,6	0,3	0,2

Видим, что прокладка более чем одного проводника в зазоре между выводами требует уменьшения диаметра контактной площадки, и в особенности, монтажного отверстия, до величины, недостаточной для нормальной установки штыревых выводов подавляющей массы компонентов (микросхемы в DIP-корпусах, резисторы, конденсаторы и др.). Представляется, что данная информация дается только для справки, поскольку приведенные в диалоговом окне размеры могут быть произвольно изменены, а программа при этом не контролирует, произойдет или нет перекрытие металлизации

проводников между собой или с контактными площадками, если задать недопустимые значения.

После выполнения всех этих действий программа переходит в финишное окно и предлагает завершить работу по формированию заготовки щелчком по кнопке Finish.

В графическом окне Altium Designer появляется изображение заготовки печатной платы – в нашем случае – прямоугольник размерами 170 × 110 мм с наложенной на него сеткой (рис. 4.7).

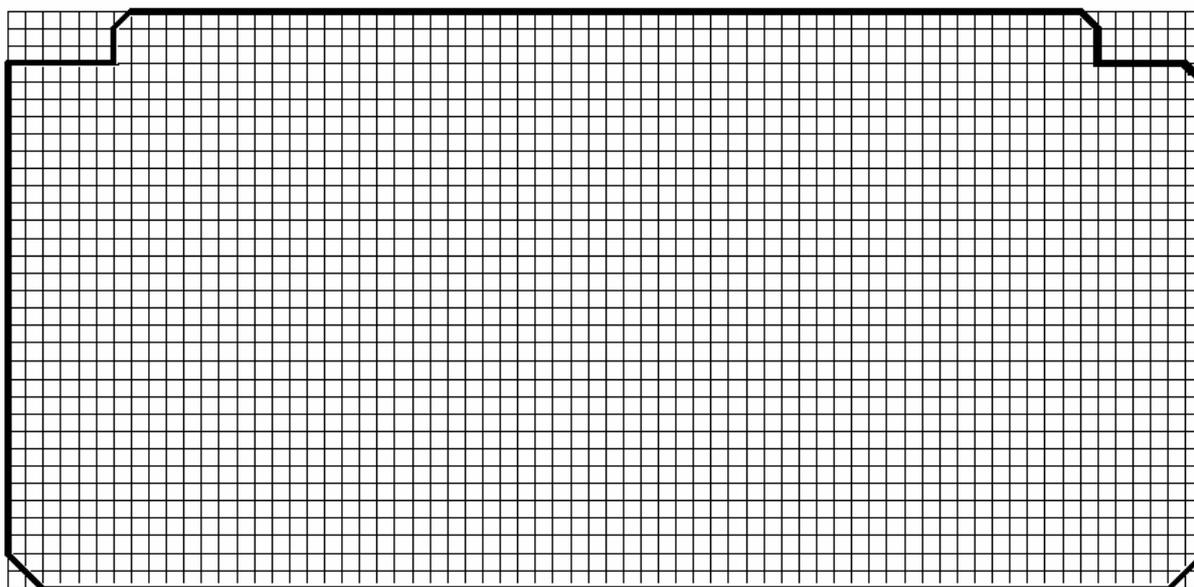


Рис. 4.7

Поскольку плата в стандарте УБНК1 имеет форму с вырезами и скосами на углах, следует ее доработать.

4.2.4. Редактирование контуров заготовки

В Altium Designer заложены развитые средства управления геометрией объектов. Не имея возможности подробно рассмотреть все эти средства, ограничимся на данном этапе изложения редактированием контура заготовки печатной платы.

Для формирования контура заготовки УБНК1, установленного стандартом ГОСТ 26765.12-86, следует воспользоваться функцией переопределения контура платы:

1. Щелчком правой клавиши мыши вызвать контекстное меню, активировать функцию управления шагом сетки захвата Snap Grid и установить значение шага сетки в 2,5 мм.

2. Активизировать в главном меню программы цепочку команд: Design>>Board Shape>>Redefine Board Shape. Курсор на экране примет вид большого перекрестия, а исходный контур заготовки платы изменит цвет.

3. Создать курсором, щелкая левой клавишей мыши, новый контур заготовки в соответствии с имеющимся чертежом или эскизом. Курсор перемещается по узлам сетки захвата. Удобно, если при этом шаг одной из видимых сеток совпадает с шагом сетки захвата. Щелчком правой клавиши мыши или клавишей Esc завершить операцию. Контур заготовки примет новые очертания (на рис. 4.7 прочерчен жирной линией).

4.2.5. Слои графического редактора печатной платы

Как и в графических редакторах печатной платы большинства известных САПР, в Altium Designer информация также структурируется по слоям.

Для управления структурой слоев активизируется команда главного меню Design>>Board Layers and Colors. Открывается одноименное диалоговое окно, в котором представлена структура слоев созданной нами заготовки печатной платы (рис. 4.8).

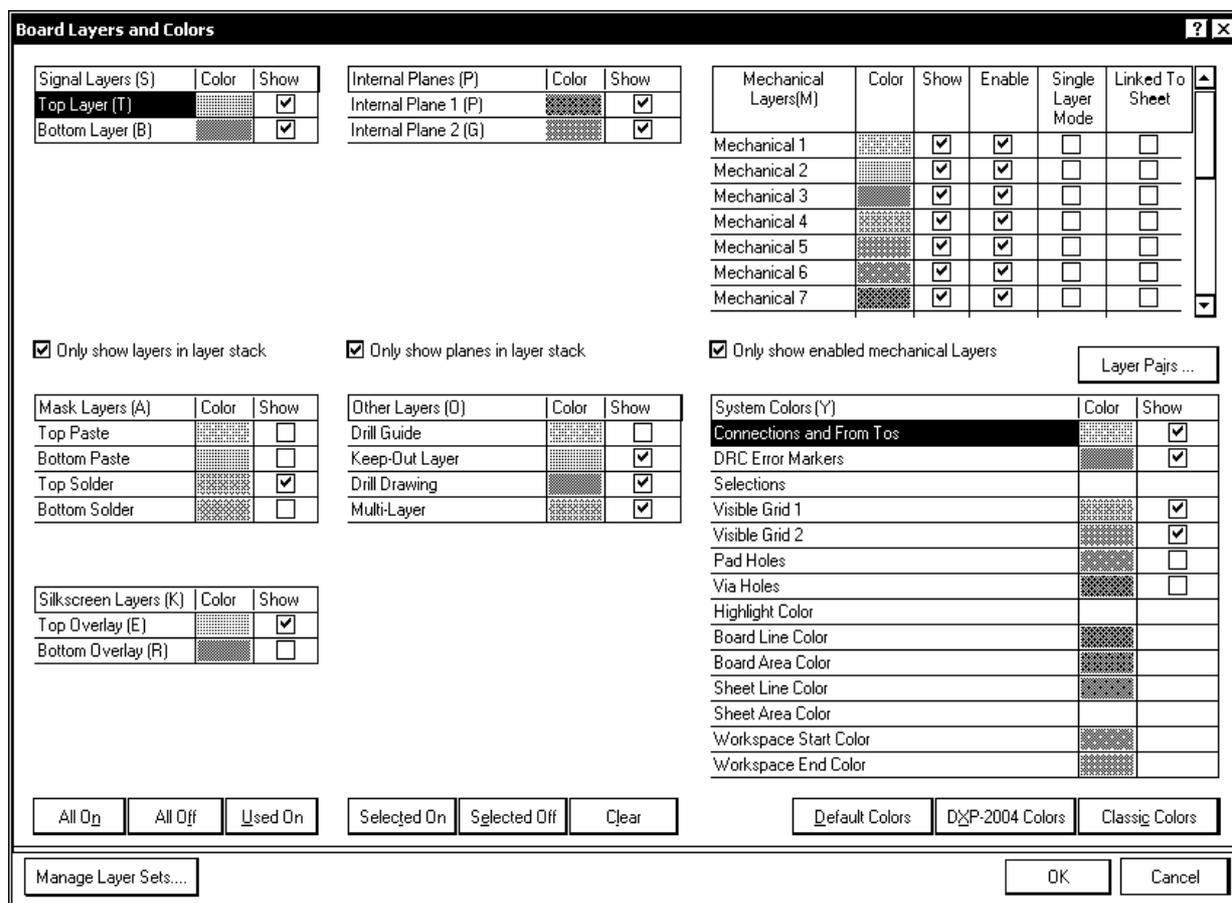


Рис. 4.8

В Altium Designer существуют слои трех типов:

- электрические слои (Electrical Layers) – проект многослойной печатной платы может содержать до 32 сигнальных слоев (Signal Layers) и до 16 слоев сплошной металлизации для цепей питания и Земли (Plane Layers). Для добавления, удаления электрических слоев и настройки их параметров служит подсистема управления слоями – так называемый менеджер управления слоями Layer Stack Manager;

- механические слои (Mechanical Layers) – 16 слоев общего назначения для размещения на них элементов сборки, обозначений размеров, контура печатной платы, форматки чертежа и др. Состав и свойства механических слоев, используемых в проекте, настраиваются в диалоге. Перед тем как использовать механический слой, его нужно активировать. Для этого следует:

- отключить активность опции Only show enabled mechanical layers (показывать только активные механические слои),
- в поле Enable установить (птичками) активность необходимого числа механических слоев,
- активировать опцию Only show enabled mechanical layers: при этом в диалоговом окне (рис. 4.8) останется видимым список только активизированных слоев.

Видимость механического слоя назначается-отключается в поле Show. При активированной опции Linked to Sheet объекты, размещенные на механическом слое, подключаются к листу проекта и могут делаться видимыми или невидимыми при управлении видимостью листа проекта;

- специальные слои:
 - Top Solder и Bottom Solder – слои защитных масок на верхней и нижней сторонах платы;
 - Top Paste и Bottom Paste – слои трафаретов для нанесения припойной пасты на верхнюю и нижнюю стороны платы;
 - Top Overlay и Bottom Overlay – верхний и нижний слои шелкографии (маркировки и обозначения контуров компонентов);
 - Drill Guide – слой центров отверстий;
 - Keep-Out Layer – слой для размещения ограничительных контуров трассировки;
 - Drill Drawing – слой сверловки;

- Multi-Layer – слой для размещения контактных площадок и переходных отверстий многослойных печатных плат.

Кроме управления свойствами слоев, в диалоговом окне на рис. 4.8 представлены функции управления цветом и видимостью целого ряда объектов, не принадлежащих определенным слоям, но являющихся принадлежностью проекта – сеток, линий электрической связи (Connections), маркеров ошибок DRC-контроля, отверстий контактных площадок (Pad Holes), отверстий у межслойных переходов (Via Holes) и др.

4.2.6. Менеджер структуры слоев

Для управления структурой электрических слоев проекта в Altium Designer 6 есть еще одно наглядное и эффективное средство – так называемый менеджер структуры слоев, вызываемый из контекстного меню. По команде: Options>>Layer Stack Manager откроется одноименное диалоговое окно Layer Stack Manager (рис. 4.9).

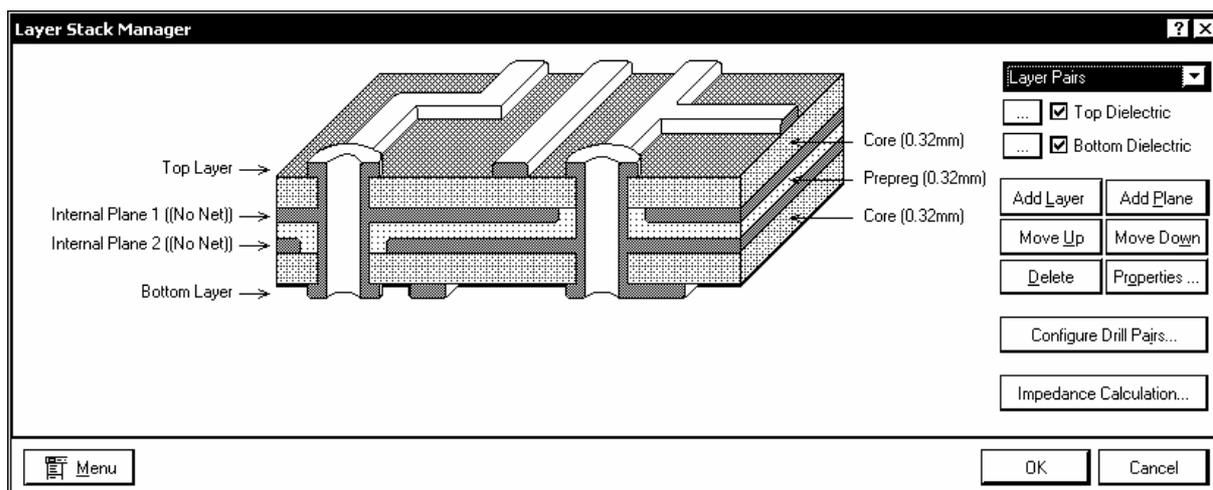


Рис. 4.9

В левой части окна представлено изометрическое изображение структуры слоев, установленной при формировании заготовки печатной платы. При указании курсором строки пояснений, относящейся к слою, активизируются функции управления свойствами выбранного слоя:

- кнопками Add Layer и Add Plane добавляются новые сигнальные и экранные слои;
- кнопками Move Up и Move Down выбранный слой перемещается вверх или вниз, при этом наружные слои Top Layer и Bottom Layer не могут быть перемещены во внутреннюю область платы;

- кнопкой Delete выбранный слой может быть удален из структуры;
- кнопкой Properties открывается диалог управления свойствами слоя – типом, толщиной и диэлектрической проницаемостью изоляционных слоев, толщиной фольги проводящих слоев.

Кроме того, менеджер слоев позволяет определить парные слои, соединяемые межслойными переходами (кнопка Configure Drill Pairs), а также выполнить расчет волновых сопротивлений печатных проводников. Для этого активируется кнопочная команда Impedance Calculation.

В открывающемся диалоговом окне приводятся эмпирические расчетные формулы для волнового сопротивления микрополосковой линии, образуемой печатным проводником, расположенным над сплошным экранным слоем и проводником, проходящим между двумя экранными слоями.

4.2.7. Настройка правил проектирования

Заключительным этапом подготовки рабочего пространства является настройка правил проектирования. Для этого активизируется команда главного меню Design>>Rules. Открывается диалоговое окно редактирования правил PCB rules and Constraints Editor (рис. 4.10).

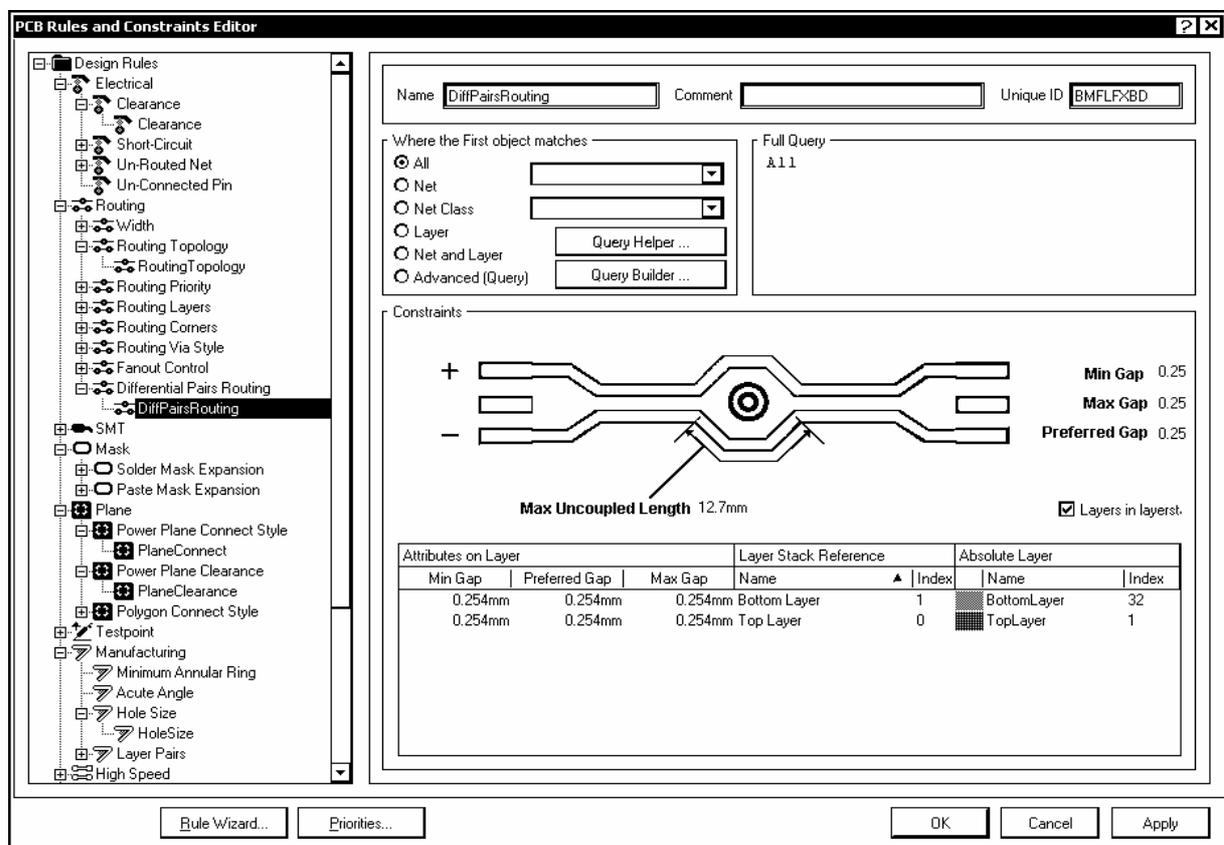


Рис. 4.10

В левой части окна располагается дерево правил проектирования, Design Rules. В правой части – список из 26 правил ведения проекта, с указанием категории, приоритета, активности, атрибутов – численных значений, логических признаков или словесных описаний.

По двойному щелчку в строке с выбранным правилом или при выборе его же в дереве в правой половине окна разворачиваются функции редактирования данного правила (см. рис. 4.10).

Для этой же цели служит подсистема мастера подсказки, вызываемая по команде главного меню Design>>Rule Wizard.

4.2.8. Барьеры трассировки

На плате могут быть обозначены зоны, в которых запрещается размещение компонентов и печатных проводников. В типичном случае это может быть место по краям платы, необходимое для крепления рамок, соединителей и т. п. Кроме этой зоны на плате могут быть вырезы, крепежные отверстия, головки винтов, шайбы, гайки и другие области, по которым нельзя проводить печатные проводники.

При использовании в проекте заготовок печатных плат из подкаталога ...Templates пакета запретные зоны, как правило, присутствуют в этих заготовках и импортируются с ними в проект.

При самостоятельном формировании заготовки запретные зоны должны быть построены. Границы этих запретных зон могут выполняться с помощью целого ряда графических примитивов – линий, дуг, залитых областей (Fill), регионов (Region).

В случае, если действие запрета должно распространяться на все слои металлизации, процедура построения следующая:

1. Выбрать курсором закладку Keep-Out Layer в нижней части графического окна программы.
2. Активизировать команду Place>>Line и вычертить замкнутый контур зоны запрета.
3. Клавишей Esc или щелчком правой клавишей мыши закончить построение.

Запретная зона, действующая в одном выбранном слое, строится по команде Place>>Keepout:

1. Аналогично предыдущему случаю, выбрать необходимый слой.
2. Активизировать команду Place>>Keepout, выбрать из выпадающего подменю необходимый графический примитив и прочертить контуры зоны

запрета. Запретные зоны, действующие в единственном слое, не экспортируются в выходные файлы фотошаблона и в файлы обменного формата ODB++.

4.2.9. Подключение бланка форматки стандартных листов

Средства Altium Designer 6 позволяют разместить чертеж печатной платы на листе стандартных размеров. Все заготовки, включая бланки форматок чертежных листов, находятся в рабочей директории пакета, в подкаталоге ...\\Templates. Среди этих бланков есть бланки формата A0...A4 в стандарте ISO. Графление этих бланков не совпадает с графлением форматок по ЕСКД, поэтому для формирования документов по ЕСКД приходится создавать специальные бланки. Собственный бланк форматки может быть построен на одном из механических слоев аналогично тому, как строилась форматка для листа электрической схемы.

Процедура подключения форматок из каталога заготовок выполняется следующим образом:

1. Открыть РСВ-файл проекта. Убедиться, что включена видимость листа, на который предполагается наложить форматку (командой меню View>>Sheet или “горячими” клавишами V, H).

2. Вызвать панель Files (Ctrl+N) и в поле New From Templates активизировать команду PCB Templates.

3. Выбрать из предлагаемого списка необходимую заготовку, например a3.PcbDoc. Форматка открывается как обычный документ Altium Designer 6.

4. Селектировать все объекты этого документа (Ctrl+A) и скопировать в буфер обмена Windows (Edit>>Copy или Ctrl+C).

5. Переключиться в окно проекта и присоединить содержимое буфера обмена к проекту (Edit>>Paste или Ctrl+V). Бланк форматки размещается на слое Mechanical16.

6. Активизировать управление слоями проекта (Design>>Board Layers and Colors) и установить для этого слоя признаки видимости, активности и присоединения к листу – Show, Enable и Linked to Sheet.

7. Установить также для слоя форматки признак Single Layer Mode, с тем чтобы форматка оставалась видимой независимо от активности функции просмотра выбранного слоя поверх всех остальных. Кнопкой ОК завершить настройку.

Следует отметить, что обрамления интегрального РСВ-образа печатной платы форматкой не делает результат этой операции конструкторским доку-

ментом в том смысле, который придается этому термину стандартами ЕСКД. Стандартные средства Altium Designer 6, как и многих других “электронных” САПР иностранного происхождения, не дают возможности выполнить полноценные конструкторские документы по ЕСКД:

- невозможно получить в едином документе проекции печатной платы по правилам машиностроительного черчения в соответствии с требованиями ГОСТ 2.305-68 и ГОСТ 2.417-91;
- невозможно получить зеркальное изображение платы (вид снизу);
- при распечатке документа возможно масштабирование, но одновременно масштабируется как изображение печатной платы, так и форматка, что не допускается по ЕСКД;
- средства простановки размеров не дают возможности нанести размеры и предельные отклонения по ГОСТ 2.307-68.

Вследствие этого для формирования конструкторских документов на печатную плату и функциональный узел (модуль) на ее основе целесообразно конвертировать проект Altium Designer в формат “машиностроительных” САПР, например, AutoCAD, Autodesk Inventor или отечественной системы КОМПАС.

5. ФОРМИРОВАНИЕ И РЕДАКТИРОВАНИЕ ЭЛЕКТРИЧЕСКОЙ СХЕМЫ

Считаем, что библиотеки компонентной базы для выполнения проекта подготовлены и включены в рабочую среду Altium Designer, все подготовительные операции, рассмотренные в 4.1, выполнены:

- сформирован или открыт из каталога шаблонов лист схемного редактора стандартного формата по ЕСКД;
- заполнены реквизиты схемного документа;
- установлена метрическая система единиц измерения;
- настроен набор сеток проектирования.

Кроме перечисленных настроек целесообразно установить удобный для работы вид курсора. Для этого активизировать команду главного меню Tools>>Schematic Preferences, в диалоговом окне Schematic Preferences выбрать опцию Schematic>>Graphical Editing>>Cursor Type и указать один из видов курсора:

- Large Cursor 90 – перекрестие через весь экран, под углом 90°;

- Small Cursor 90 – малое перекрестие, под углом 90°;
- Small Cursor 45 – малое перекрестие, наклоненное под 45°;
- Tiny Cursor 45 – мелкое перекрестие, наклоненное под 45°.

5.1. Размещение объектов на поле чертежа

Altium Designer 6 делит объекты, находящиеся на поле электрической схемы, на графические и электрические. К графическим объектам относятся:

- линия (Line);
- дуга, эллиптическая дуга (Arc, Elliptical Arc);
- эллипс, в частности окружность (Ellipse);
- сплайн-кривая (Bezier);
- прямоугольник, скругленный прямоугольник (Rectangle, Rounded Rectangle);
- многоугольник (Polygon);
- секторная диаграмма (Pie Chart);
- график (Graphic).

Для размещения графических объектов используется команда главного меню Place>>Drawing Tools с соответствующими подкомандами, смысл которых ясен из их имен и сопровождающих пиктограмм.

Аналогичный результат достигается при активизации щелчком правой клавиши мыши контекстного меню и указания в нем той же команды Place>>Drawing Tools с ее подкомандами. Для размещения графических объектов также может быть активизирована соответствующая кнопка-пиктограмма в плавающем меню Utilities>>Utility Tools.

К электрическим объектам относятся:

- схемные компоненты (Schematic Component) с их электрическими выводами;
- линии электрической связи (Wire – проводник);
- линии групповой связи (Bus);
- идентификаторы цепей (Net Identifiers).

5.1.1. Размещение схемных символов

1. Активизировать команду главного меню программы Place>>Part. Можно также воспользоваться контекстным меню или “горячими” клавишам P, P. Откроется диалоговое окно Place Part (рис. 5.1) с информацией о последнем введенном ранее компоненте.

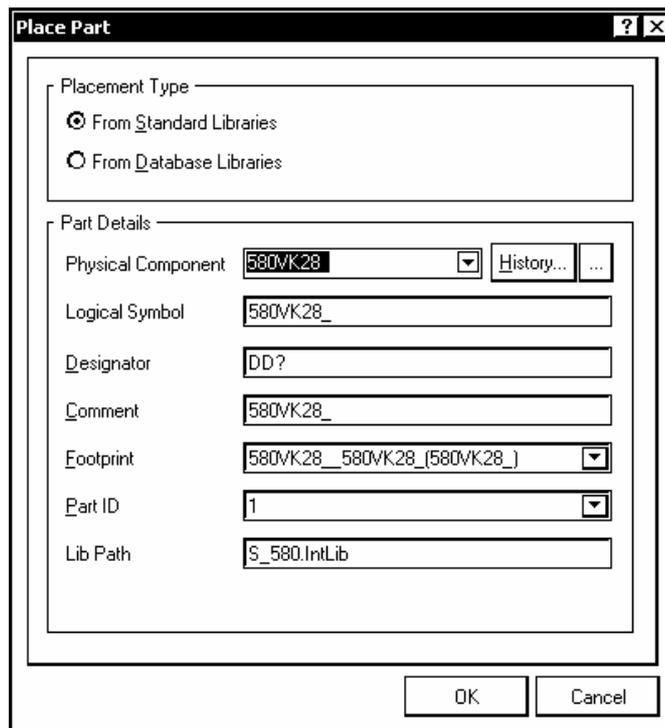


Рис. 5.1

2. В поле Placement Type указать область поиска компонента:

- From Standard Libraries – в стандартных библиотеках (инсталлированных в рабочую среду Altium Designer 6);
- From Database Libraries – в библиотеках баз данных.

3. В поле Part Details отображаются сведения о компоненте:

- Physical Component – имя (тип) “физического” компонента;
- Logical Symbol – имя логического символа (может отличаться от имени компонента, в особенности у многосекционных и гетерогенных);
- Designator – позиционное обозначение (префикс по ГОСТ 2.710-81 или по другому стандарту), а также знак вопроса «?» – для порядкового номера, назначаемого в схеме;
- Comment – текстовый комментарий;
- Footprint – имя посадочного места;
- Part ID – обозначение секции (для многосекционных);
- Lib Path – путь к библиотеке.

Отметим, что редактирование текста во всех этих полях не передается компоненту – для этого есть отдельная операция, речь о которой впереди.

4. Кнопкой History активизируется диалоговое окно Placed Parts History (рис. 5.2) – со списком ранее вызывавшихся компонентов. Указанием компонента в списке можно вызвать его повторную установку в схему.

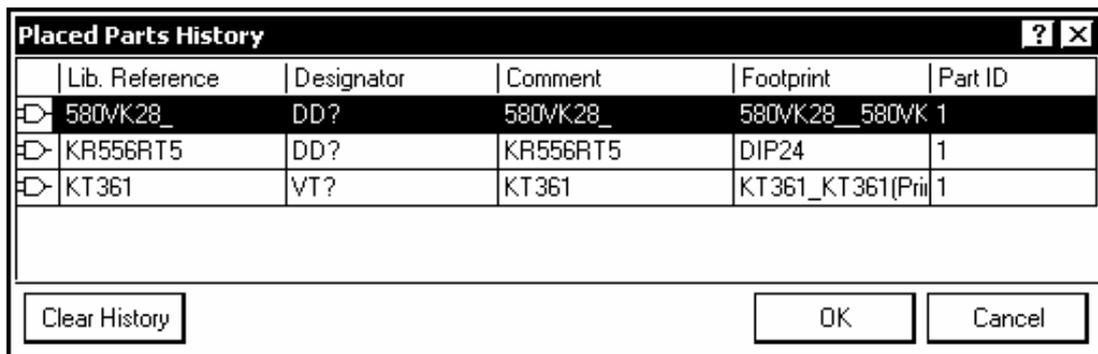


Рис. 5.2

5. Для поиска новых компонентов кнопкой [...] активизировать диалоговое окно поиска библиотек Browse Libraries (рис. 5.3), в которых хранится нужный компонент.

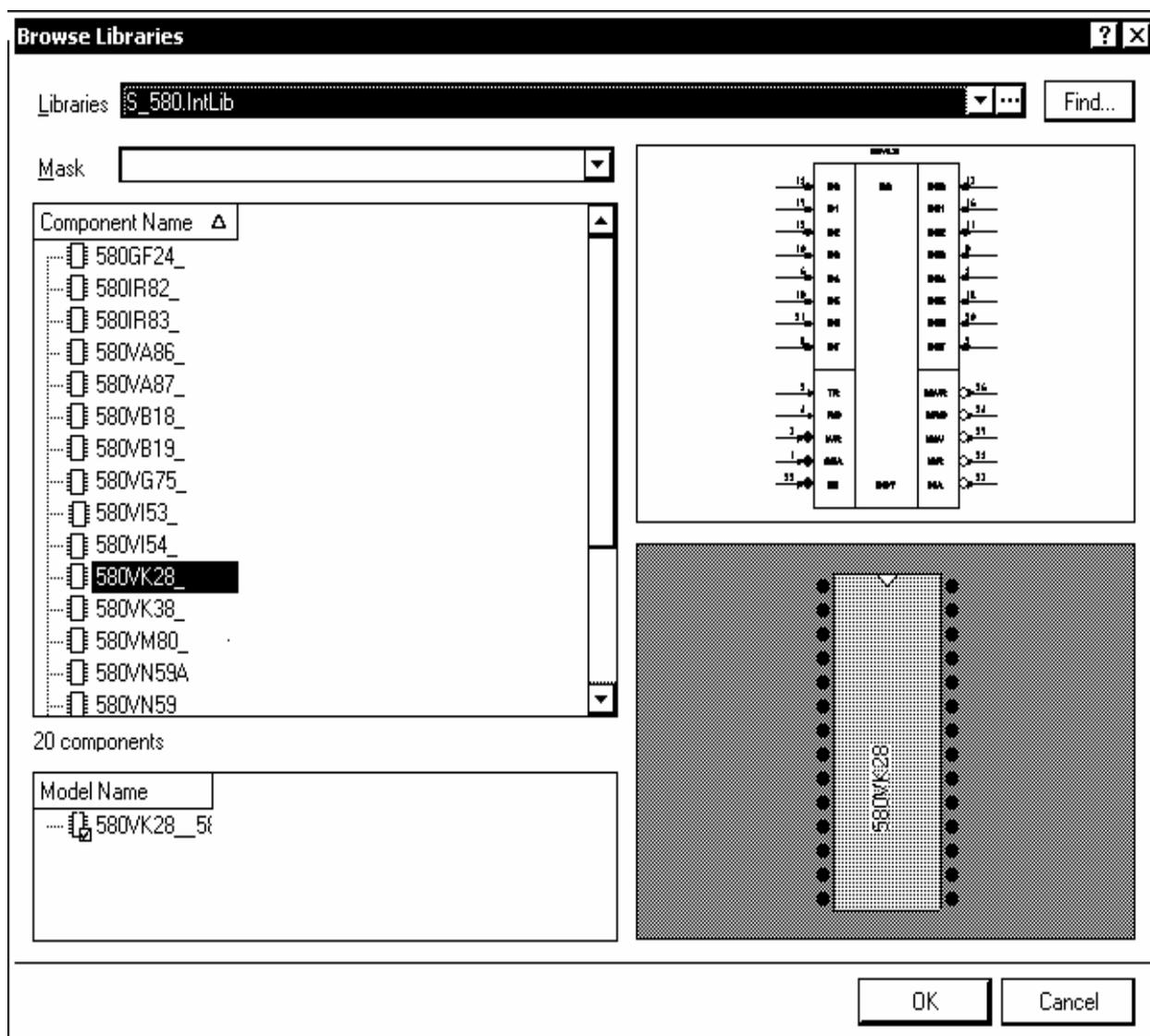


Рис. 5.3

В полях окна (рис. 5.3) сгруппированы команды управления поиском и отображается информация о компонентах выбранной библиотеки:

- в поле Libraries открывается окно со списком установленных библиотек;
- кнопкой  активизируется окно (см. рис. 3.25), позволяющее включить в рабочую среду программы необходимые библиотеки или исключить ненужные;
- кнопкой Find активизируется диалоговое окно поиска компонента по маске (см. рис. 3.26);
- в поле Component Name отображается дерево структуры выбранной библиотеки с условными обозначениями и именами входящих компонентов;
- в поле Model Name отображается дерево моделей выбранного компонента (ТПМ, SPICE-модель и др.);
- в полях предварительного просмотра отображается УГО схемного компонента и его посадочное место (ТПМ).

6. Завершить выбор компонента кнопкой ОК.

7. Перед установкой выбранного компонента необходимо отредактировать его позиционное обозначение и указать номер или другое обозначение секции (в случае многосекционного компонента). Для этой цели служит процедура “горячего” редактирования (Re-entrant Editing), активизируемая клавишей Tab, открывающей диалоговое окно свойств компонента Component Properties (рис. 5.4).

Применительно к текущей задаче следует:

- в поле Designator ввести вместо знака вопроса порядковый номер позиционного обозначения;
- кнопками “стрелка влево” или “стрелка вправо” выбрать секцию в случае многосекционного компонента;
- завершить редактирование щелчком ОК.

8. Выбранный компонент (его схемный символ) “плывет” вместе с курсором по листу схемы. При этом нажатием клавиши “Пробел” (Space) возможен разворот символа на углы, кратные 90°.

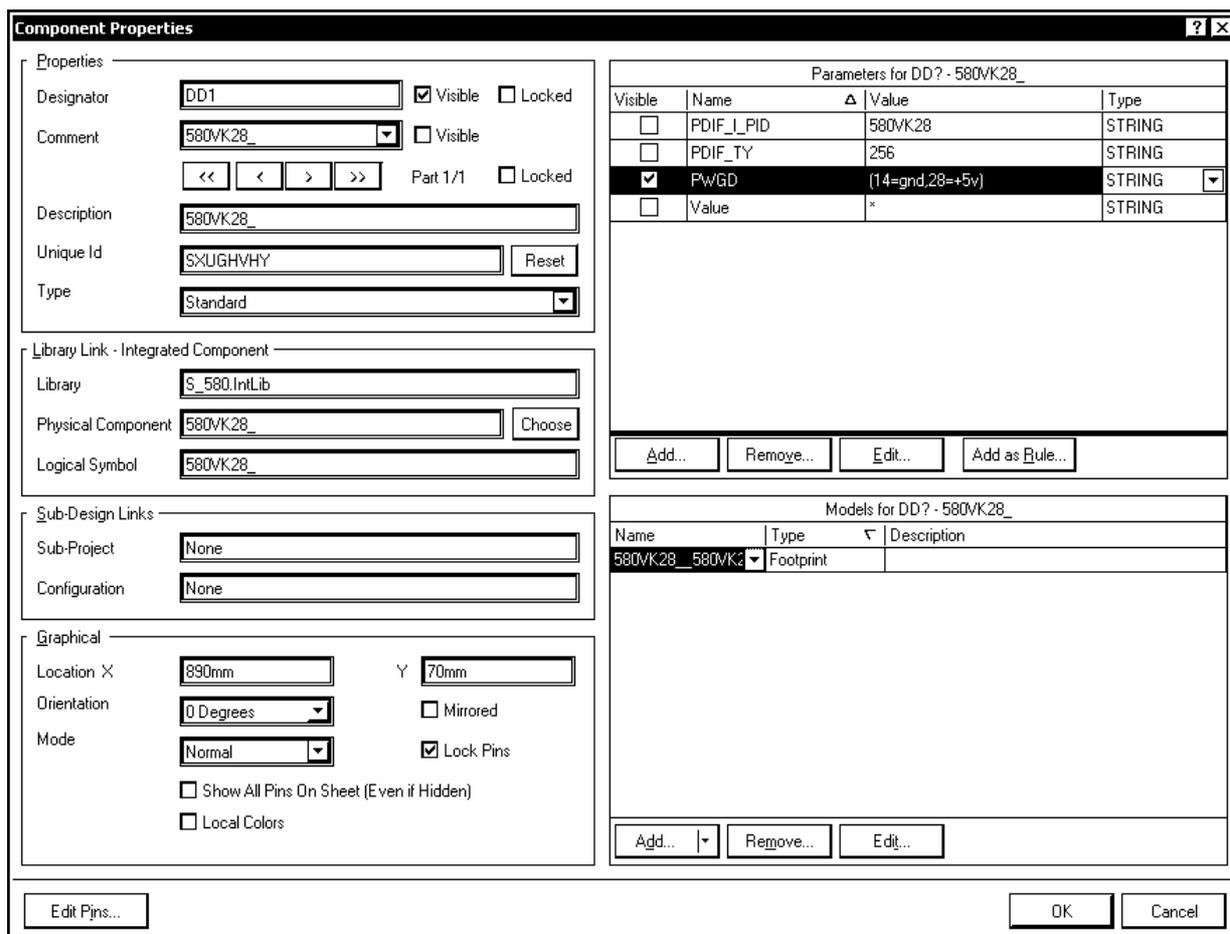


Рис. 5.4

9. Щелчком левой клавиши мыши или клавишей Enter зафиксировать компонент на листе схемы. Программа при этом останется в режиме расстановки компонентов. Выбранный компонент может быть зафиксирован на листе схемы в нужном количестве копий. При этом инкрементируются номера в позиционных обозначениях компонентов и обозначения секций.

5.1.2. Черчение линий электрической связи

Прокладка проводников. Черчение линий электрической связи (проводников) выполняется по команде главного меню Place>>Wire, либо той же командой из контекстного меню, вызываемого по щелчку правой клавиши мыши или щелчком на одноименной кнопке Place Wire  в линейке инструментов Wiring.

Курсор приобретает вид мелкого (Tiny) перекрестия под углом 45° (есть еще малое перекрестие – Small, большего размера, чем Tiny).

Прокладка проводника начинается щелчком левой клавиши мыши в узле сетки захвата Snap Grid. Движением курсора со щелчками левой клави-

шей в точках поворота линии связи прокладываются сегменты проводника до точки назначения.

Начало и конец проводника должны попадать в точки присоединения электрических объектов – на электрические выводы компонентов, контакты электрического соединителя, в точку соединения с другим проводником и т. п. При активизированной электрической сетке (клавиши Shift+E) проводник и другой электрический объект, оказывающийся от него на расстоянии менее одного шага электрической сетки, автоматически соединяются друг с другом. При этом программа обозначает факт соединения “горячей точкой” (Hot Spot) – малым косым перекрестием красного цвета. Щелчком правой клавиши мыши в этой точке или нажатием клавиши Esc прокладка проводника завершается.

Пока прокладка проводника не закончена, последний из проложенных сегментов может быть удален нажатием клавиши Backspace (шаг назад).

Прокладка сегментов проводника, который пока не подключается к другому электрическому объекту, завершается также щелчком правой клавиши мыши или клавишей Esc.

Повторным щелчком правой клавиши мыши или нажатием клавиши Esc завершается работа программы в режиме черчения линий электрической связи.

Формирование изломов проводника. В ходе черчения линии электрической связи комбинацией “горячих” клавиш Shift+“Пробел” может быть установлена форма изломов проводника:

- 90 Degree – изломы под прямым углом;
- 45 Degree – изломы под углом 45°;
- Any Angle – прокладка под любым углом (но через узлы текущей активной сетки Snap Grid);
- Auto Wire – автопрокладка: в этом режиме указываются курсором (со щелчком левой клавишей мыши) начальная и конечная точки линии электрической связи, и программа автоматически прокладывает проводник, обходя препятствия – контуры УГО и электрические выводы компонентов.

Режимы формирования изломов перебираются циклически. Информация о текущем режиме отображается в строке сообщений.

Выполнение схемы по ЕСКД предполагает использование режима формирования изломов под прямым углом (требование ГОСТ 2.702-75). Оп-

ределенную пользу может принести режим автопрокладки, так как в этом режиме также формируются изломы под прямым углом.

Соединение и пересечение проводников. Соединение нового проводника с существующим выполняется при его черчении по щелчку левой клавиши мыши в месте их пересечения. В месте соединения проводников автоматически ставится точка. По команде Tools>>Schematic Preferences>>Schematic>>Compiler в полях диалогового окна Auto-Junctions и Manual junctions Connection Status устанавливаются цвет и размер точки.

Если в месте пересечения проводников не делается щелчок мыши, проводники пересекаются без соединения. В случае если в диалоге Preferences активизирована опция Schematic>>General>>Display Cross-Overs, пересечения показываются с огибанием одного проводника другим. Такое обозначение в документах по ЕСКД не используется.

5.1.3. Имена и признаки связности цепей

При выполнении электрической связи программа автоматически присваивает цепи имя. Имя состоит из слова NET и примыкающего к нему обозначения контакта одного из компонентов, присоединенных к цепи, например NETDA2-6.

Всем сегментам проводников, не присоединенных ни одним концом к компонентам, программа присваивает имя N000-1.

Простейшим и очевидным признаком связности сегментов, образующих линию электрической связи, является примыкание сегментов друг к другу без разрывов и точки в месте соединения проводника, подходящего к другому под прямым углом.

Средства многих САПР, в том числе и Altium Designer 6, предоставляют развитые способы обозначения принадлежности сегментов линии электрической связи к одной электрической цепи без их непосредственного примыкания. Эти способы аналогичны способам, используемым при черчении схем вручную, и основаны на использовании так называемых идентификаторов цепей.

В зависимости от сложности проекта и от видов вхождения одних документов проекта в другие проект в Altium Designer 6 и, соответственно, схемные документы проекта могут быть представлены единственным листом

схемы, а могут образовывать многолистовую одноуровневую (“горизонтальную”) структуру или иерархическую вертикально-связанную структуру.

В PCB-проекте действует функция автоматического определения структуры проекта и устанавливается так называемый горизонтальный или вертикальный охват (Score) проекта. От этого зависит, каким образом принятая в Altium Designer система идентификаторов цепей устанавливает связность цепей на одном листе, связность цепей в многолистных проектах по горизонтали и по вертикали.

В нашем изложении ограничимся рассмотрением действия идентификаторов цепей в однолистовом и многолистовом одноуровневом проектах.

Всего этих идентификаторов семь:

- Net Label – метка цепи. Объединяет в одну цепь все сегменты, имеющие совпадающее обозначение на одном листе и в одноуровневом (горизонтальном) проекте;

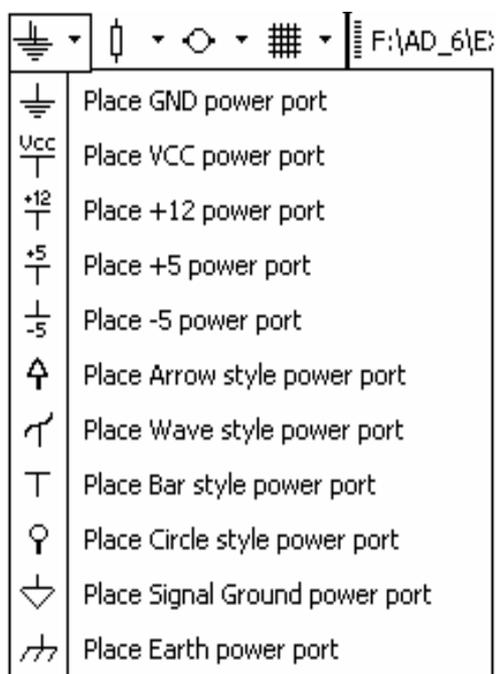


Рис. 5.5

- Port – метка с более высоким приоритетом. При одновременном присутствии на листах схемы меток Label и меток Port последним автоматически присваивается статус глобальных, и только они объединяют сегменты связей на листах схем проекта в глобальную цепь;

- Power Port – метки цепей питания и “земли”, всего 11 разновидностей (рис. 5.5). Объединяют в глобальную цепь сегменты с одинаковой меткой во всем проекте;

- Hidden Pin – скрытые выводы компонентов. Связываются в единую глобальную цепь с именем, обозначенным в поле Connect to в диалоге управления свойствами контактов компонента (см. рис. 3.5);

- Sheet Entry – соединитель листов в иерархическом проекте;
- Off-sheet Connector – соединитель листов в многолистовом одноуровневом проекте.

Следует отметить, что у меток Net Label и Port на разных цепях в одном документе могут оказаться совпадающие имена. В этом случае общая

цепь образуется только если сегменты с такими метками явно соединить проводником.

Для присвоения имени цепи с помощью метки Net Label активизировать в главном или контекстном меню команду Place>>Net Label. Далее клавишей Tab вызвать диалог редактирования свойств метки (рис. 5.6).

В поле Properties ввести имя метки (цепи) или выбрать из выпадающего списка одно из существующих имен, если сегмент проводника, отмечаемый меткой, присоединяется к существующей цепи.

Для выполнения надписи, содержащей знак инверсии, после каждого символа надписи следует ввести символ обратной косой черты.

Функции настройки свойств метки позволяют также выбрать цвет надписи, ориентацию, гарнитуру и размер шрифта надписи.

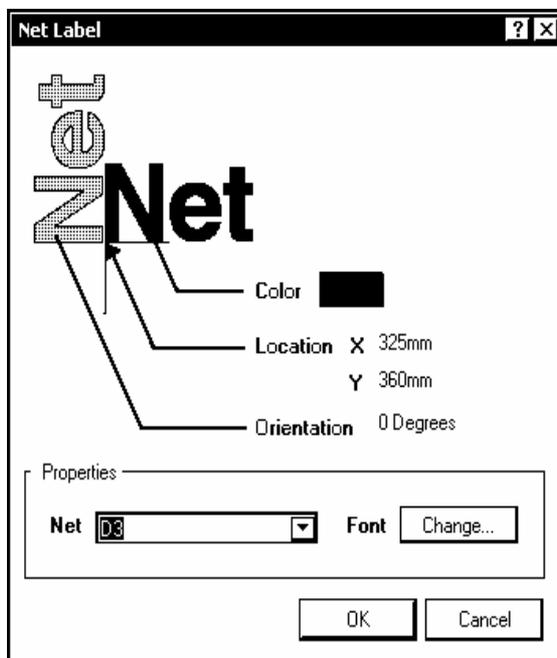


Рис. 5.6

Для присвоения имени цепи с помощью метки Port активизировать команду главного меню или всплывающего контекстного меню Place>>Port. Клавишей Tab активизировать диалог настройки свойств порта. Откроется диалоговое окно Port Properties (рис. 5.7).

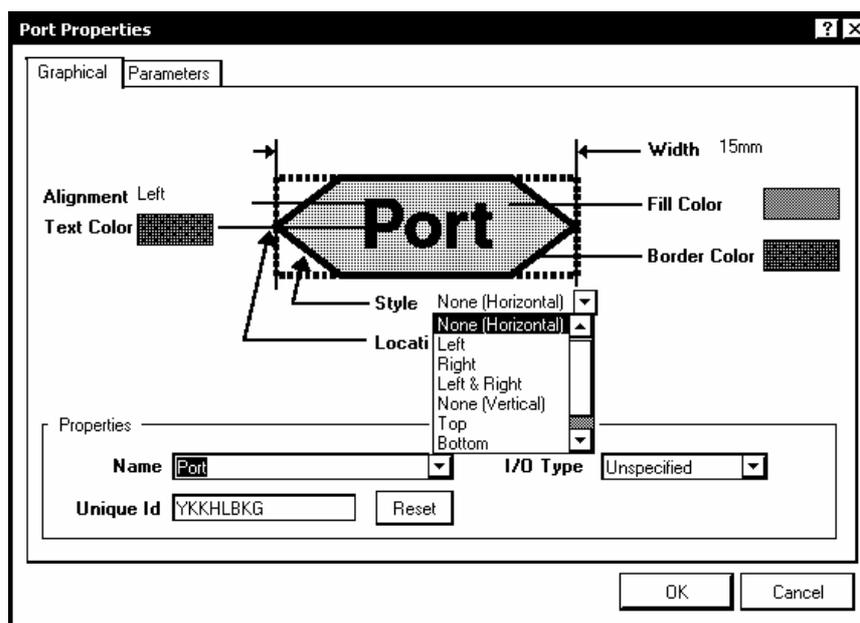


Рис. 5.7

В полях диалогового окна отредактировать элементы графического изображения и другие свойства метки:

- в поле Properties:
 - ввести или выбрать из выпадающего списка имя цепи (Name),
 - выбрать из выпадающего списка I/O Type тип сигнала, проходящего по цепи, – входной (Input), выходной (Output), двунаправленный (Bidirectional) или неопределенный (Unspecified);
- в верхней части панели-закладки Graphical установить:
 - Alignment – расположение надписи в поле метки: слева, справа или по центру,
 - Text Color – цвет текста надписи,
 - Location – точка геометрической (но не электрической привязки контура метки),
 - Width – ширину поля метки,
 - Fill Color – цвет заполнения поля метки,
 - Border Color – цвет границы контура метки,
 - Style – стиль выполнения заостренных “носиков” поля метки.

Стиль выбирается в выпадающем списке, предусматривающем 8 возможных вариантов: 4 для горизонтального и 4 для вертикального расположения поля метки.

При любом стиле и обозначении типа проходящего по цепи сигнала у метки-порта программа образует две точки электрического присоединения метки к проводнику. Метка может быть присоединена к проводнику любой из этих двух точек, а также и обеими точками. В последнем случае поле метки ложится поверх проводника.

При этом назначенный стиль и тип электрической связи образуют сложную систему приоритетов, оказывающую влияние на окончательное изображение метки-порта на схеме.

Предоставляем читателю самостоятельно изучить все возможные комбинации; здесь же остановимся на сочетаниях, позволяющих получить осмысленное изображение меток-портов на схеме:

- при подключении метки с обозначением цепи Input одной точкой перпендикулярно проводнику или к концу проводника заостренный конец поля метки обращен к проводнику, независимо от настройки стиля;

- при подключении метки с обозначением цепи Input двумя точками поверх проводника поле метки имеет оба заостренных конца, также независимо от настройки стиля;
- при подключении метки с обозначением цепи Output одной точкой перпендикулярно проводнику или к концу проводника заостренный конец поля метки обращен от проводника, независимо от настройки стиля;
- при подключении метки с обозначением цепи Output двумя точками поверх проводника поле метки имеет оба тупых конца, независимо от настройки стиля;
- при подключении метки с обозначением цепи Bidirectional как одной, так и двумя точками поле метки имеет оба заостренных конца, независимо от настройки стиля;
- при подключении метки с необозначенным типом цепи (Unspecified) приоритетом обладает стиль настройки поля.

Отметим, что размещение поля метки-порта вдоль (поверх) проводника противоречит требованиям ЕСКД, в соответствии с которыми обозначения имен цепей не должны лежать поверх линий связи. Кроме того, в месте присоединения порта к проводнику ставится точка, обозначающая электрическое соединение, что также не соответствует правилам выполнения электрических схем по ЕСКД. Исключение составляет подключение метки порта к концу проводника.

Указание белого цвета заливки и границ поля метки порта делает поле невидимым на белом листе схемы, однако поле не делается от этого прозрачным: в случае расположения метки вдоль проводника порт визуально воспринимается как разрыв линии связи с точками электрического соединения на концах видимого разрыва.

5.1.4. Линии групповой связи

Линии групповой связи выполняются при составлении электрической схемы в двух случаях:

- когда представляется целесообразным объединить в одну условную общую линию группу функционально однородных электрических связей. В терминах Altium Designer 6 такая линия групповой связи называется логической (Logical Bus);

- когда сведение в одну линию групповой связи множества разнородных цепей освобождает схему от путаницы многочисленных связей и улучшает читаемость схемы. Такая линия групповой связи называется в Altium Designer 6 графической (Graphical Bus).

Для формирования линии групповой связи обоих типов активизировать команду главного или контекстного меню Place>>Bus. Клавишей Tab активизировать процедуру “горячего” редактирования свойств линии групповой связи. В диалоговом окне Bus (рис. 5.8) указать ширину и цвет линии.

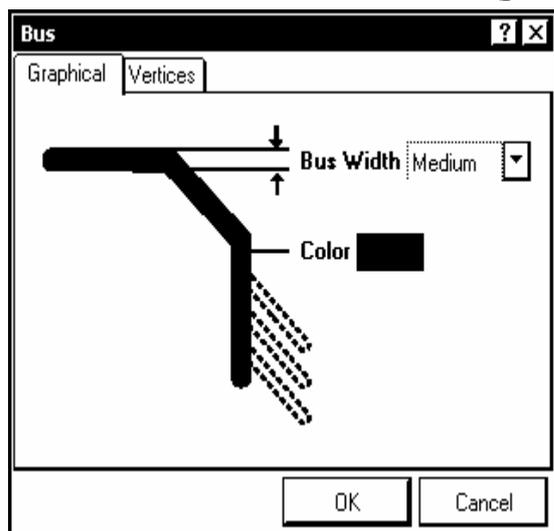


Рис. 5.8

Прочертить линию групповой связи на листе схемы. Сама эта линия не образует электрическую цепь, а служит только для логического или визуального (графического) объединения индивидуальных электрических связей.

Следующим шагом является черчение индивидуальных линий, входящих в групповую, и назначение им необходимых признаков связи.

Предварительно вдоль линии групповой связи командой Place>>Bus Entry могут быть расставлены входы в групповую линию – прямолинейные отрезки проводника, наклоненные под 45°. Назначение этих входов – исключить контакт проводников, подходящих к групповой линии с противоположных сторон, торец в торец. Если допустить такой контакт, проводники сливаются в одну цепь. Такое изображение линий групповой связи применялось в отечественной документации до ввода в действие ЕСКД. По ЕСКД требуется подвод индивидуальных проводников к групповой линии под прямым углом, без излома. Ничто не мешает выполнить линии групповой связи таким образом и в Altium Designer. Нужно только так смещать проводники, подходящие к линии групповой связи с противоположных сторон, чтобы они не сомкнулись концами.

Связность сегментов цепей, входящих в линию групповой связи и выходящих из нее, достигается присвоением им единого имени с помощью идентификаторов Net Label.

В случае логической линии групповой связи линия в целом наделяется меткой Net Label в формате, например, $D[0..7]$ (рис. 5.9, а), а принадлежащие ей индивидуальные проводники – метками в формате $D0, D1, D2$ и т. д. Префикс D является признаком, объединяющим проводники в логическую линию групповой связи. Как и у индивидуальных электрических связей, идентификаторы линии групповой связи разных типов не объединяются автоматически даже при совпадении имен. Чтобы метки NetLabel и Port одинаково идентифицировали линию групповой связи $D[0..7]$, к ней должны быть присоединены обе эти метки. При переходе такой линии групповой связи с листа на лист одноуровневого проекта связность устанавливается с помощью идентификатора Port с тем же именем $D[0..7]$.

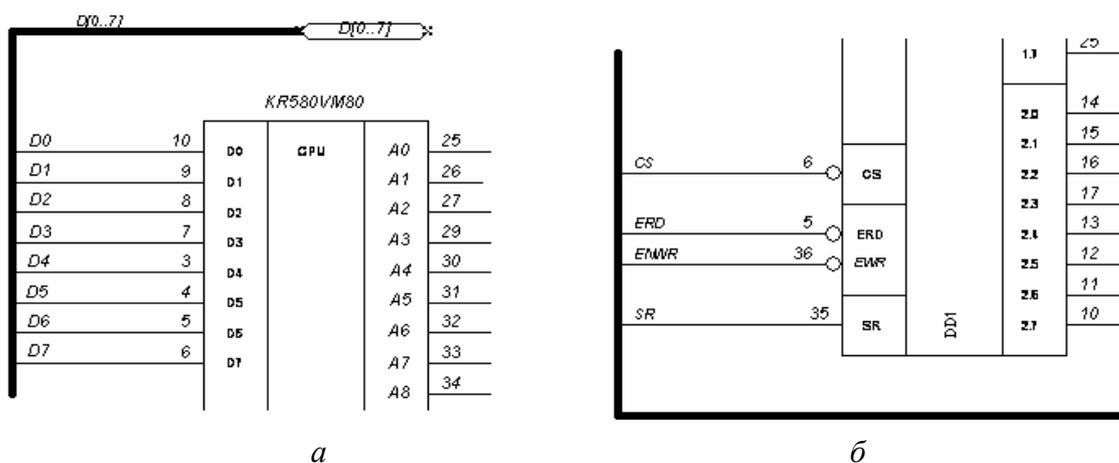


Рис. 5.9

В случае графической линии групповой связи (рис. 5.9, б) индивидуальным проводникам, входящим и выходящим из групповой линии, могут присваиваться как произвольные, так и структурированные имена (также меткой Net Label), а самой групповой линии никакого имени не присваивается. Сама групповая линия может вообще быть удалена с чертежа без ущерба для связности цепей как в пределах одного листа, так и в многолистовом одноуровневом проекте. То есть само изображение линии-жгута служит лишь для улучшения визуального восприятия и чтения схемы человеком.

5.2. Редактирование электрической схемы

Редактирование любых объектов, размещенных на листе схемы, начинается с селекции объекта. Селекция выполняется одним из двух способов:

- 1) указать на объект курсором со щелчком левой клавишей мыши;
- 2) нажав и не отпуская левую клавишу мыши, окружить объект или группу объектов рамкой, после чего сделать щелчок левой клавишей.

Селектированный объект отмечается специальными знаками-прищепками (Grips): компоненты – по контуру; линии, проводники – на каждом изломе.

5.2.1. Редактирование проводников

Перемещение изломов проводника. Навести курсор на излом селектированного проводника, отмеченный знаком-прищепкой, нажать левую клавишу мыши и, не отпуская ее, переместить отмеченный излом по листу. В точке назначения отпустить клавишу мыши. Излом фиксируется в новом положении. При этом может нарушиться ортогональность сегментов проводника или линии групповой связи.

Перемещение сегментов проводника. Навести курсор на середину сегмента селектированного проводника и, аналогично предыдущему случаю, переместить сегмент. Здесь возможны два варианта:

1) при перемещении курсора в поперечном направлении за курсором перемещается только выбранный сегмент, а примыкающие к нему два сегмента деформируются, следуя за его концами;

2) при перемещении курсора в продольном направлении за курсором перемещаются три сегмента – выбранный и два примыкающие к нему. Прямоугольность изломов не нарушается.

Продолжение проводника. Навести курсор на конец селектированного проводника, отмеченный прищепкой, и переместить курсор по листу, удерживая нажатой левую клавишу мыши. Проводник вытягивается в направлении перемещения курсора. Для продолжения проводника в исходном направлении следует выполнять перемещение мыши, удерживая нажатой клавишу Alt.

Разрыв проводника. По команде Edit>>Break на экран выводится рамка-шаблон, которую следует поместить на проводник. Рамка автоматически разворачивается вдоль проводника. Длина вырываемого из проводника участка устанавливается в “горячем” диалоге, вызываемом клавишей Tab. В диалоговом окне может быть выбран один из трех вариантов: разрыв длиной в целый сегмент, разрыв длиной в один шаг активной сетки и разрыв длиной в несколько шагов сетки. Разрыв делается щелчком левой клавиши мыши.

5.2.2. Перемещение компонентов

Программа предусматривает два способа перемещения схемных компонентов:

- Move – перемещение только компонента, без подведенных к нему электрических связей;

- Drag – перемещение компонента вместе с подключенными к нему электрическими связями.

Оба вида перемещений, а также еще 16 команд управления положением объектов на листе схемы активизируются подкомандами команды главного меню Edit>>Move (рис. 5.10).

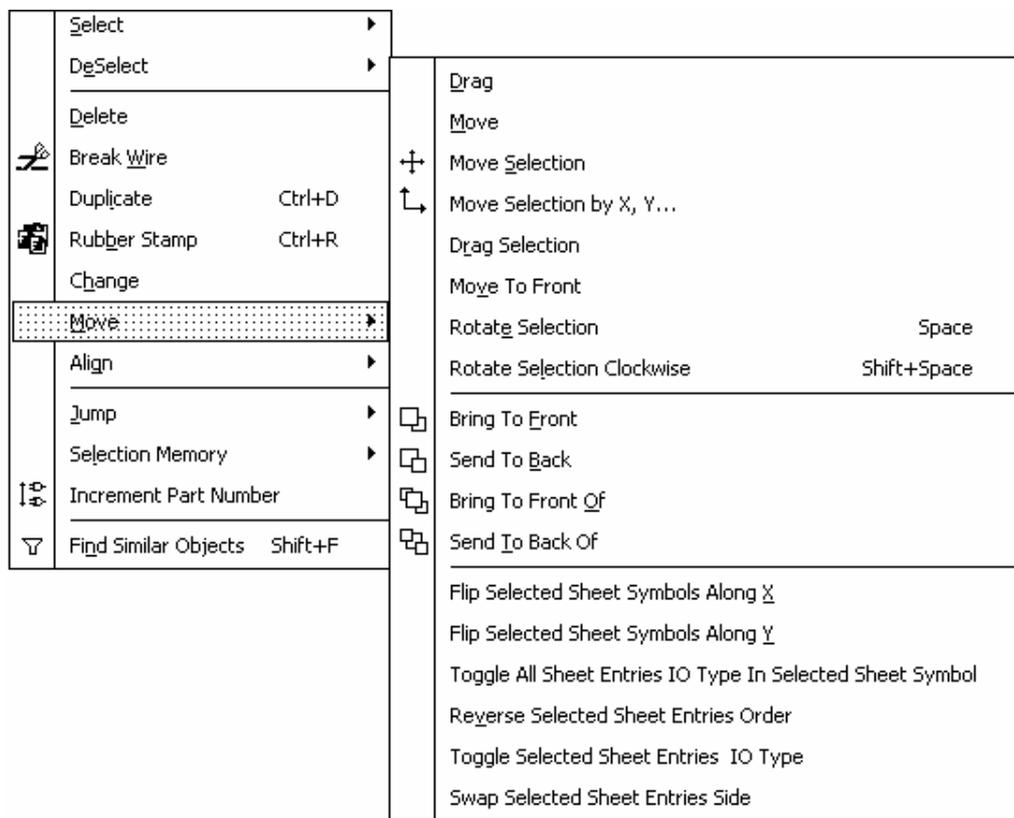


Рис. 5.10

Альтернативой является перемещение компонента непосредственно вслед за курсором: указать курсором компонент, нажать левую клавишу мыши и, не отпуская ее, перемещать компонент по листу; щелчком левой клавиши в месте назначения зафиксировать объект.

Команды меню Edit>>Move>>Move и Edit>>Move>>Drag и непосредственное перемещение курсором выполняются по-разному. В то время как непосредственное перемещение действует только на компонент, выбранный в текущий момент, и заканчивается вместе с фиксацией компонента в новом положении, упомянутые команды меню переводят программу в режим перемещений (Move Mode или Drag Mode). Перемещение компонента, на который указывает курсор, начинается по щелчку (не по нажатию) левой клавиши мыши или по нажатию клавиши Enter и завершается повторным щелчком или нажатием клавиши Enter в точке назначения. Программа остается в ре-

жиме перемещений. Выход из режима перемещений происходит по нажатию клавиши Esc или по щелчку правой клавиши мыши.

Возможно назначить активной только функцию перемещения Drag. Для этого в диалоге Tools>>Schematic Preferences активизировать опцию Schematic>>Graphical Editing>>Always Drag. В этом случае при непосредственном управлении курсором компонент перемещается вместе с подключенными к его выводам электрическими связями. При этом, однако, команда Edit>>Move>>Move обладает приоритетом перед настройкой Always Drag: при активизации этой команды компоненты перемещаются, а связи от них отрываются и остаются на месте.

В процессе перемещения компонента над ним может быть выполнен ряд дополнительных действий. При перемещении без связей (Move):

- нажатием клавиши “Пробел” компонент поворачивается на 90° против часовой стрелки; клавиши Shift+“Пробел” поворачивают компонент по часовой стрелке;
- нажатием клавиш X или Y компонент отражается зеркально относительно горизонтальной или вертикальной оси, соответственно;
- при нажатой клавише Alt перемещение ограничивается горизонтальным или вертикальным направлением.

При перемещении с подключенными связями (Drag):

- нажатием клавиши “Пробел” или Shift+“Пробел” переключается режим ортогональности проводников;
- нажатием клавиш Ctrl+ “Пробел” компонент разворачивается на 90° против часовой стрелки;
- нажатием клавиш X или Y компонент отражается зеркально относительно горизонтальной или вертикальной оси, соответственно;
- при нажатой клавише Alt перемещение ограничивается горизонтальным или вертикальным направлением.

5.2.3. Копирование и вставка копий

Расположенные на листе схемы объекты могут быть скопированы в буфер обмена Windows и вставлены из буфера обмена на лист или в другие документы. Для копирования следует активизировать стандартную команду главного меню программы Edit>>Copy (Ctrl+C) и указать курсором опорную точку, за которую объект будет извлекаться из буфера командой Edit>>Paste (Ctrl+V).

Кроме того, программа располагает функцией Smart Paste – вставки объектов из буфера обмена с трансформацией объектов одного типа в объекты другого типа, например меток цепей Net Label в метки-порты и т. п.

5.2.4. Присвоение позиционных обозначений

Позиционное обозначение (Designator) присваивается компонентам при их первичном помещении на лист схемы. Префиксы позиционных обозначений, назначенные при формировании библиотек, сохраняются при передаче компонентов в схему. Если перед постановкой определенного компонента на лист в диалоге “горячего” редактирования свойств позиционному обозначению присвоен номер, следующие компоненты данного типа нумеруются с инкрементацией. При этом маловероятно, что позиционные обозначения в схеме, в окончательном ее виде, будут располагаться в порядке, определенном в действующих стандартах.

Для приведения позиционных обозначений в соответствие с требованиями ЕСКД служит функция Annotation. Порядок выполнения этой операции следующий:

1. Активизировать команду главного меню Tools>>Annotate. Откроется диалоговое окно Annotation, рис. 5.11.

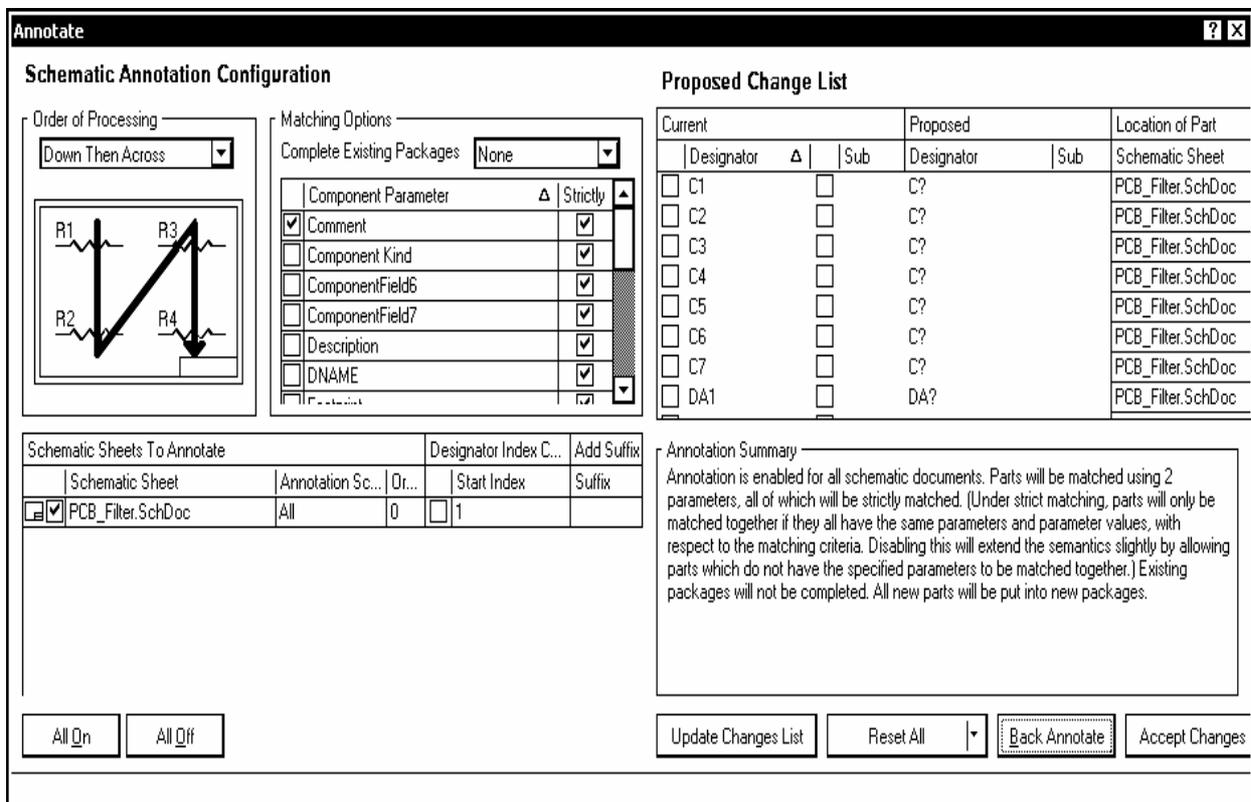


Рис. 5.11

В двух колонках таблицы Proposed Changes List представлены существующие позиционные обозначения (колонка Current) и неназначенные пока новые (колонка Proposed).

2. В поле Order of Processing выбрать из выпадающего списка порядок простановки позиционных обозначений. По ЕСКД это Down then Across – вертикальными колонками слева направо. Выбранный порядок иллюстрируется диаграммой.

3. В поле Schematic Sheets to Annotate указать документ, в котором выполняется перенумерация.

4. В поле Matching Options указать или сбросить признаки группировки логических секций в корпус компонента.

5. По щелчку левой клавишей на кнопке Update Changes List программа выдаст окно с сообщением о числе вносимых изменений. По щелчку на ОК окно закроется, а в колонке Proposed окна на рис. 5.11 появятся новые позиционные обозначения компонентов.

6. Кнопкой Accept Changes (Create ECOs) список изменений передается на обработку. Открывается окно Engineering Changes Order (рис. 5.12) со списком изменений, которые предстоит внести в схему.

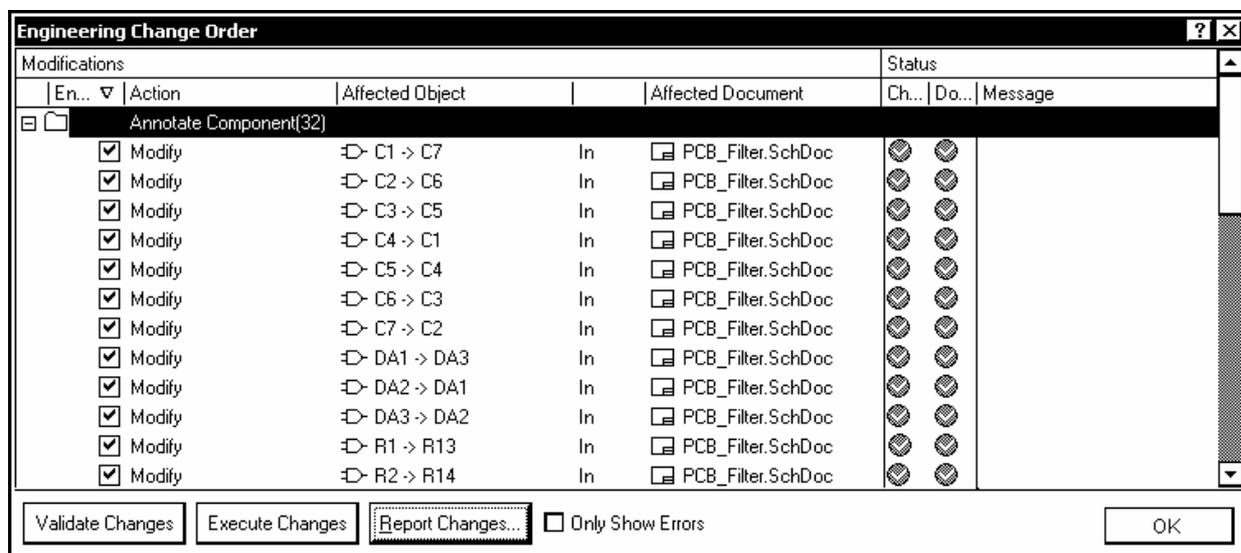


Рис. 5.12

7. По щелчку на кнопке Execute Changes выполняется обработка списка изменений. Изменения, выполненные без ошибок, отмечаются значками зеленого цвета в колонке Status.

8. Кнопкой Validate Changes запустить проверку корректности внесенных изменений.

9. По щелчку на кнопке Report Changes открывается окно просмотра изменений. Список изменений может быть распечатан на бумаге.

10. Щелчком на ОК диалог закрывается, и внесенные изменения отображаются в окне рис. 5.11.

11. В случае необходимости формирования ESO-документа указать Back Annotate и сохранить файл ESO стандартными средствами ОС Windows.

В случае повторной перенумерации после действий по пп. 1...4 сбросить позиционные обозначения в колонке Proposed кнопкой Reset All, после чего продолжить перенумерацию с п. 5.

5.2.5. Присвоение значений параметрам компонентов

При составлении электрической принципиальной схемы радиоэлектронных функциональных узлов, в особенности аналоговых, необходимо присвоить значения электрическим параметрам таких компонентов, как резисторы, конденсаторы, катушки индуктивности. Эти значения, а также целый ряд других сведений о компонентах, должны попасть в перечень элементов к схеме электрической принципиальной, в спецификации сборочных единиц, ведомости покупных изделий и другие документы. Существуют программные средства, позволяющие формировать такие документы автоматически и включать их в структуру автоматизированного документооборота предприятия.

Полный набор сведений о компоненте может быть включен в состав проекта одним из трех способов:

- включен в описание компонента при формировании библиотеки;
- извлечен из внешней базы данных по компонентам;
- составлен для выбранного компонента при разработке электрической схемы функционального узла.

В Altium Designer 6 может быть реализован любой из этих способов.

Первый способ предполагает большой объем работы при формировании библиотек компонентной базы.

Второй способ предполагает наличие на предприятии компьютерной базы данных по электронным компонентам. Используемая САПР должна быть совместима по формату данных или располагать средствами импорта данных именно из этой базы. Это требует серьезных организационно-технических мероприятий.

Третий способ, при невозможности воспользоваться вторым, представляется наиболее практичным. По трудозатратам он не более сложен, чем со-

ставление записей в текстовом редакторе, преимущество же его в том, что при автоматическом составлении текстовых документов на основании данных схемы он поддерживает связность документов проекта.

В большинстве известных САПР радиоэлектронных функциональных узлов структура описания компонентов включает атрибуты (в Altium Designer – параметры). Обычно в набор атрибутов входит единственный атрибут Value – величина, позволяющий указать значение основного электрического параметра компонента.

Очевидно, что одного его недостаточно для того, чтобы сформировать запись перечня элементов по ЕСКД. Добавлять в поле атрибута Value другие сведения о компоненте нельзя, если предполагается схемотехническое моделирование функционального узла.

На примере отечественного металлодиэлектрического резистора типа С-2-33 покажем, каким может быть полный объем сведений о компоненте и как должна быть составлена запись в конструкторской документации (рис. 5.13).

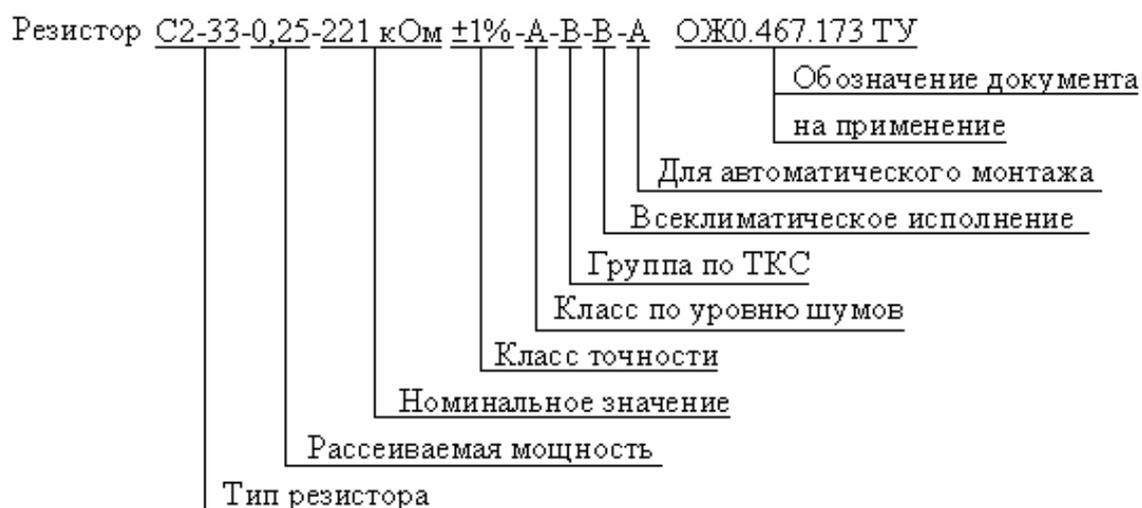


Рис. 5.13

Для размещения необходимых сведений о компоненте обычно формируются специальные пользовательские атрибуты. Средства Altium Designer 6 также позволяют сформировать полный набор сведений об используемых в проекте компонентах. Для выполнения этой работы необходимо:

1. Активизировать команду главного меню программы Tools>>Parameter Manager. Откроется диалоговое окно Parameter Editor Options (рис. 5.14), предоставляющее возможность выбора объектов, для которых предполагается настройка параметров.

2. В поле определения принадлежности параметров объектам (Include Parameters Owned By) указать Parts – схемные компоненты.

3. В поле That Meet the Following Criteria указать в выпадающем списке подмножество объектов, отвечающих задаче, в нашем случае – все объекты (All objects).

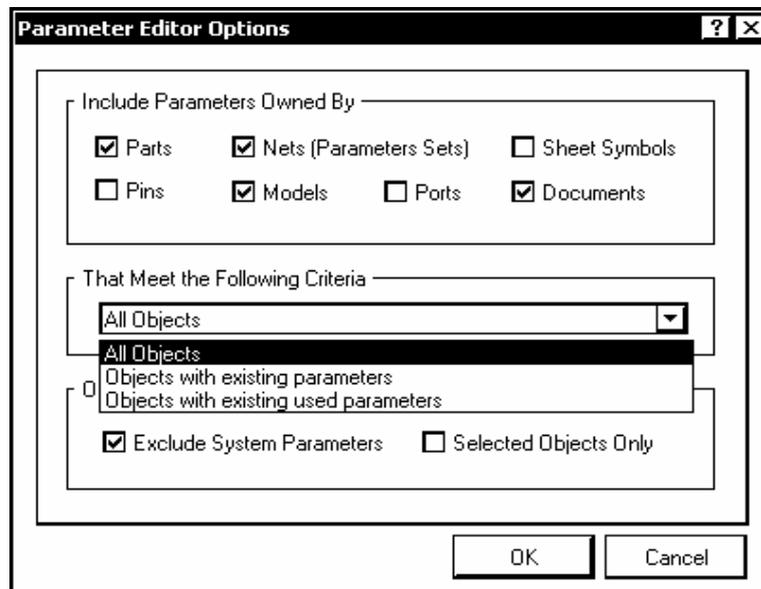


Рис. 5.14

4. Кнопкой ОК закрыть окно. Откроется окно (рис. 5.15) с таблицей, в колонках которой указаны типы выбранных объектов (Part – схемный компонент), их позиционные обозначения по схеме, имя схемного документа и ранее назначенные параметры (атрибуты).

32 Objects - 1 Selected		User Parameters				
Object Type	Document	Identifier	Value	ComponentField6	ComponentField7	Tolerance
Part	PCB_Filter.SchDoc	C1	{Value}			
Part	PCB_Filter.SchDoc	C2	{Value}			
Part	PCB_Filter.SchDoc	C4	180pF			10%
Part	PCB_Filter.SchDoc	C5	470pF			
Part	PCB_Filter.SchDoc	C3	180pF			10%
Part	PCB_Filter.SchDoc	C6	0.068uF			20%
Part	PCB_Filter.SchDoc	C7	0.068uF			20%
Part	PCB_Filter.SchDoc	DA1		Pin 8 is not conne	Published	M
Part	PCB_Filter.SchDoc	DA2		Pin 8 is not conne	Published	M
Part	PCB_Filter.SchDoc	DA3		Pin 8 is not conne	Published	M
Part	PCB_Filter.SchDoc	R1				
Part	PCB_Filter.SchDoc	R10				
Part	PCB_Filter.SchDoc	R11				
Part	PCB_Filter.SchDoc	R12				

Рис. 5.15

Число колонок параметров зависит от выбора, сделанного в пп. 2 и 3. Движком горизонтальной прокрутки обеспечивается просмотр содержания всех колонок. Среди этих колонок пока нет таких, в которых можно было бы назначить те параметры компонентов схемы, которые должны попасть в перечень элементов.

5. Щелчком правой клавиши мыши активизировать контекстное меню и указать в нем команду Add Column – добавить колонку. В открывающемся диалоговом окне Add Parameter назвать имя параметра, включаемого в добавляемую колонку, например, Tolerance – допуск.

6. Повторить действия п. 5 столько раз, сколько дополнительных параметров предполагается назначить, присваивая соответствующие имена.

8. Выбрать в колонке с позиционными обозначениями компонент (строка, относящаяся к нему, выделяется цветом) и перейти горизонтальной прокруткой в ячейку таблицы на пересечении выделенной строки с колонкой назначаемого параметра. Щелчком левой клавиши мыши активизировать ячейку.

9. Щелчком правой клавиши на выделенной ячейке активизировать контекстное меню и указать в нем команду Add – добавить. С выделенной ячейки снимется штриховка, и она окажется равномерно залита цветом, назначенным для селектированных объектов.

10. Щелчком правой клавиши активизировать контекстное меню и указать в нем команду Edit – редактировать. Ячейка станет доступной для редактирования: цвет селекции снимется; справа появится кнопка вызова выпадающего списка значений параметра. Ввести с клавиатуры или указать в выпадающем списке необходимое значение параметра (см. рис. 5.15). Подходящее значение параметра может также быть скопировано (Ctrl+C, Ctrl+V) в текущую активную ячейку из соседних, где оно уже присвоено.

11. Повторить действия пп. 8...10 столько раз, сколько компонентов нуждается в назначении параметров и сколько параметров должно быть назначено каждому компоненту.

Назначенные таким способом параметры и присвоенные им значения сохраняются с файлом проекта и могут обрабатываться программами формирования текстовых конструкторских документов. Приведенная процедура не сложнее заполнения перечня элементов в текстовом редакторе. Преимущество ее в том, что она обеспечивает связность документов проекта – электрической схемы и перечня элементов.

5.2.6. Группирование цепей в классы

В электрической схеме, как и впоследствии в печатной плате, цепи, обладающие сходными свойствами, и линии групповой связи могут быть сгруппированы в классы:

1. Активизировать команду главного меню Place>>Directives>>Net Class. На экране появится плавающая с курсором метка класса.

2. Клавишей Tab активизировать горячее редактирование параметров класса. Откроется диалоговое окно Parameters, в полях которого обозначен тип параметра – Net Class (класс цепей), текущие координаты и ориентация метки, а также список имен ранее установленных классов.

3. Щелчком правой клавиши мыши активизировать контекстное меню и указать в нем команду Edit. В диалоговом окне следующего уровня, Parameter Properties, может быть изменено назначенное по умолчанию имя параметра Class Name, ему может быть присвоено значение (Value), назначена или отключена видимость и блокировка того и другого.

4. Чтобы привязать к классу некоторые правила проектирования печатного монтажа, вместо команды Edit в диалоговом окне Parameters активизировать кнопку команды Add as Rule – добавить параметр как правило. В диалоговом окне Parameter Properties активизируется кнопка вызова процедур редактирования правил Edit Rule Values. Открывается диалоговое окно Choose Design Rule Type (рис. 5.16) с деревом правил проектирования, определяющих несколько десятков правил ведения проекта – электрические и трассировочные параметры, стиль контактных площадок и ряд других.

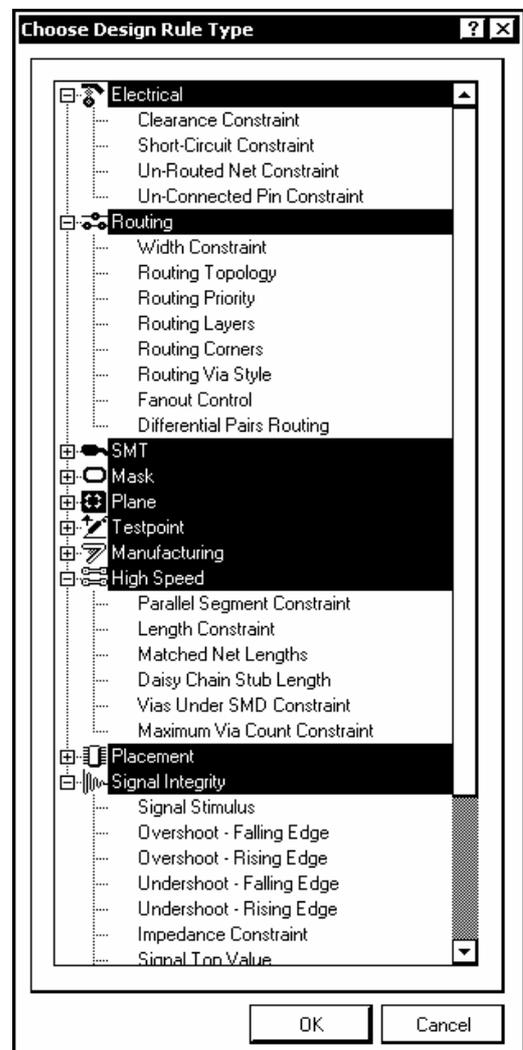


Рис. 5.16

5. Двойным щелчком в строке с именем выбранного правила открыть диалоговое окно редактирования его свойств. Например, при указании строки Width Constraint открывается диалоговое окно настройки ширины печатных проводников для цепей текущего класса (рис. 5.17).

6. Установить необходимое значение ширины проводника и допустимое минимальное и максимальное ее значение и завершить операцию щелчком на ОК.

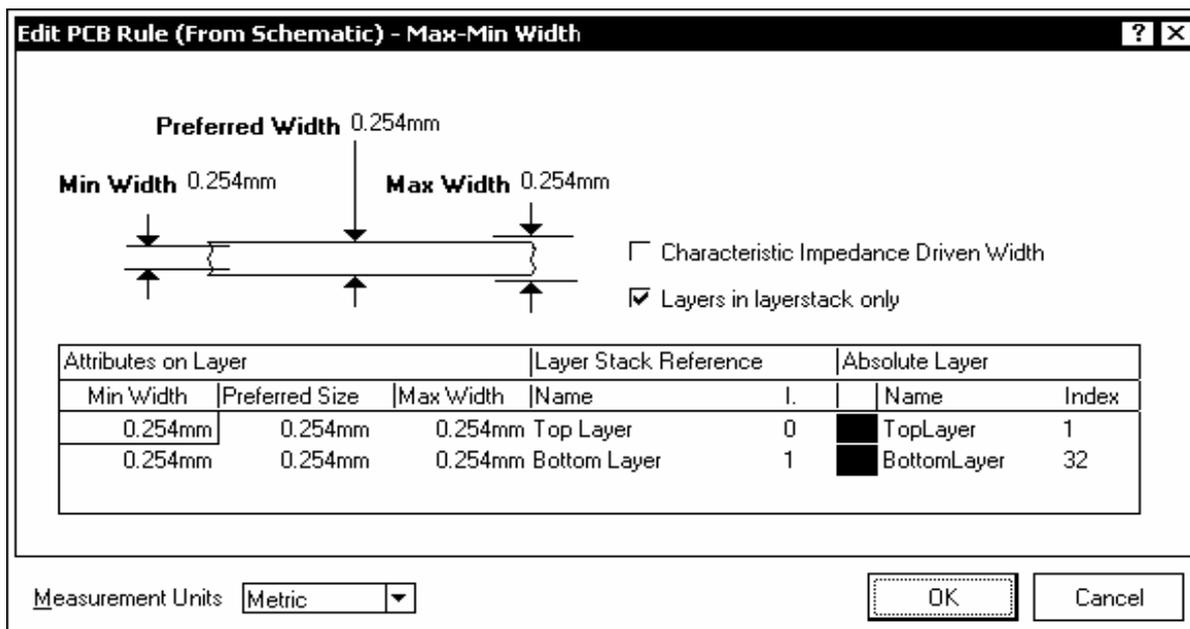


Рис. 5.17

7. Щелчками на ОК последовательно закрыть окна Parameter Properties и Parameters.

8. Зафиксировать метку класса цепей на соответствующих линиях связи в главном окне схемного редактора.

Рассмотренная процедура может быть применена также для группирования в классы линий групповой связи.

При всем изяществе рассмотренной процедуры результаты ее оказываются громоздкими. Настроенные параметры класса передаются не группе цепей, входящих в класс, а каждой цепи индивидуально. Это приводит к неоправданному увеличению списка ограничений (Constraints) в диалоге настройки правил редактирования печатной платы: вместо правила для класса в целом оно указывается для каждой цепи данного класса. Этого недостатка лишена функция настройки правил в среде редактора печатной платы, которая будет рассмотрена в 6.

5.3. Компиляция проекта

Заключительным этапом разработки схемы является компиляция проекта. В процессе компиляции окончательно выстраивается логическая структура проекта, выявляются ошибки, допущенные при составлении электрической принципиальной схемы.

Для простого одноуровневого проекта с несложной однолистовой схемой может оказаться достаточным визуальный контроль в ходе и по окончании формирования документа. В сложном иерархическом проекте ошибки могут ускользнуть от визуального контроля. Чтобы этого не происходило, в Altium Designer 6 заложена развитая система контроля ошибок.

Перед компиляцией следует настроить функции контроля. По команде главного меню Project>>Document Options откроется диалоговое окно Options for Project <имя проекта>.PrjPcb с десятью панелями-вкладками, на которых перечислены все возможные признаки ошибок проекта. Для компиляции наиболее важны настройки, призванные выявить нарушения правил соединения компонентов линиями электрической связи и соответствие обозначений цепей, портов, соединителей листов в многолистовом проекте.

На вкладке Error Reporting назначается характер реакции программы на обнаруженные нарушения:

- No Report – не включать обнаруженное нарушение в отчет;
- Warning – вывести предупреждение;
- Error – вывести сообщение об ошибке;
- Fatal Error – вывести сообщение о фатальной ошибке, при которой невозможно выполнение операции.

На вкладке Connection Matrix определяются правила проверки электрических соединений схемы и назначается уровень реакции программы на различные виды ошибок – такие как соединение выхода с выходом, выхода с питанием, двунаправленного вывода компонента с выходным и т. п. На пересечении столбцов и строк матрицы стоят цветные метки, обозначающие реакцию программы на соответствующее соединение, обнаруженное при проверке схемы. Выбирая соответствующую метку, можно назначить один из четырех уровней реакции: отсутствие реакции (если нет ошибки), предупреждение, сообщение об ошибке, фатальная ошибка. Каждому уровню соответствует свой цвет – от зеленого до красного.

На вкладке Comparator настраиваются правила проверки соответствия имен одинаковых объектов, цепей на листах многолиствого проекта и целого ряда других возможных ошибок.

Компиляция проекта выполняется по команде главного меню Project>>Compile Document <имя_схемы>.SchDoc. Если при компиляции обнаружены ошибки, сообщения об ошибках выводятся на панель Messages. В этом случае следует проанализировать сообщения, внести в схемный документ необходимые изменения и повторить компиляцию проекта.

Схемный документ, откомпилированный без ошибок, может быть передан на проектирование печатной платы.

6. ПРОЕКТИРОВАНИЕ ПЕЧАТНОЙ ПЛАТЫ

Будем считать, что все подготовительные операции по настройке рабочего пространства графического редактора печатных плат Altium Designer 6, рассмотренные в 4.2. выполнены, схемный документ и файл заготовки печатной платы включены в структуру текущего открытого проекта. Таким образом, мы готовы к выполнению следующей стадии проектирования – разработке печатной платы.

6.1. Передача схемы в среду проектирования печатной платы

Когда проект откомпилирован и схемный документ открыт, схемная информация на печатную плату передается следующим образом:

1. Активизировать команду схемного редактора Design>>Update PCB Document <имя_проекта>.PcbDoc. Передача схемных данных в редактор печатной платы выполняется как стандартная ECO-процедура. Открывается диалог внесения изменений Engineering Changes Order (рис. 6.1).

В полях диалогового окна представлена информация обо всех объектах схемного документа, действиях, которые надлежит с ними произвести (Add – добавить, т. е. поместить на пустую плату), и имя документа редактора печатной платы, в который вносятся данные из редактора схемы.

2. Щелчком на кнопке Validate Changes активизировать проверку правильности вносимых изменений. Если при этом не выявлено ошибок, в поле Status появляются знаки-птички, свидетельствующие о завершении операции без ошибок. Строки списка, в которых обнаружены несоответствия (например, не найдено ТПМ), помечаются красной меткой с крестиком.

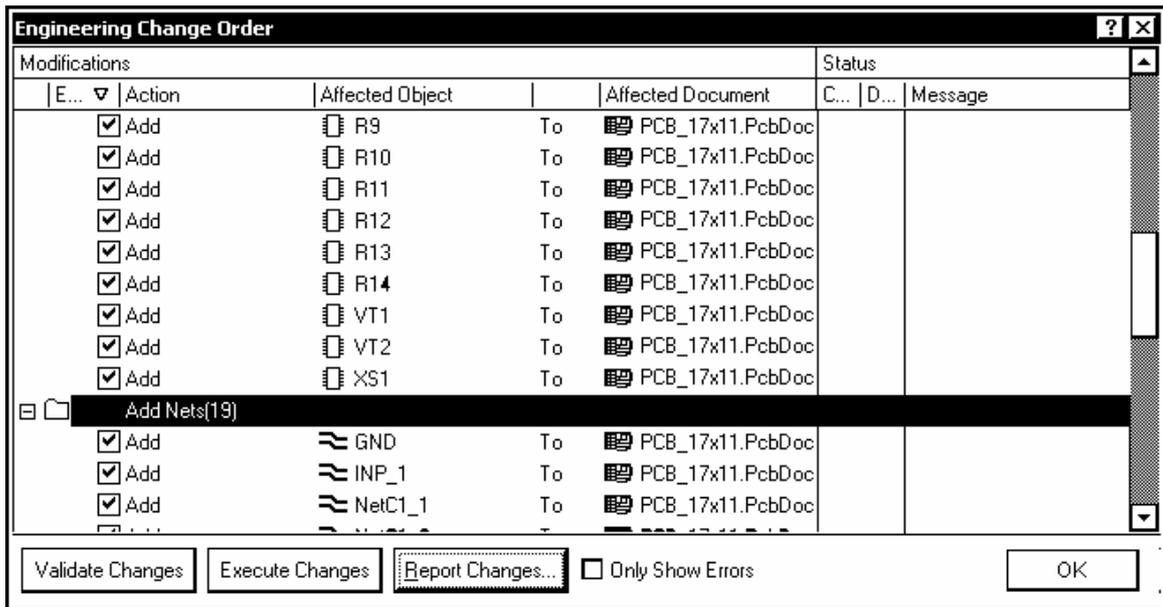


Рис. 6.1

В этом случае необходимо просмотреть сообщения об ошибках на панели Messages.

3. Щелчком на кнопке Execute Changes запустить обработку изменений. Результат обработки передается в среду графического редактора печатной платы. При этом откроется файл платы нашего активного проекта, и в окне графического редактора печатной платы, рядом с заготовленным ранее контуром платы отобразятся ТПМ компонентов, связанные ниточками электрических связей (рис. 6.2). По умолчанию программа заключает компоненты и связи проекта в прямоугольную область Room – “комнату”. Вся эта область вместе с заключенными в ней компонентами при указании на нее курсором и нажатии левой клавиши мыши перемещается за курсором по экрану графического редактора, в том числе она может быть помещена в пределы контура печатной платы.

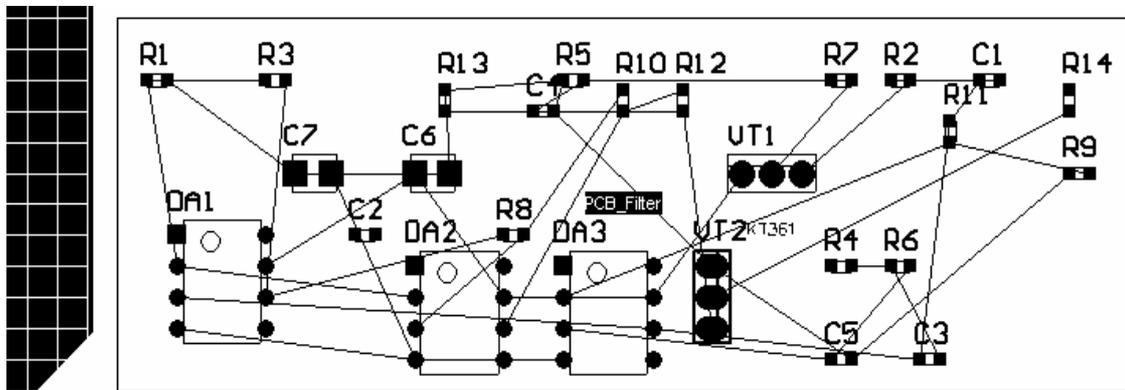


Рис. 6.2

Прежде чем начать размещение компонентов по полю печатной платы, определим классы объектов, в том числе цепей, и отредактируем ряд правил проектирования.

6.2. Группирование объектов в классы

Среда Altium Designer 6 предоставляет обширные возможности группирования объектов по однородным признакам. Такие группы называются классами объектов. В классы могут группироваться цепи, компоненты, слои печатной платы, контактные площадки и ряд других объектов. В данном разделе рассмотрим процедуру формирования классов цепей.

Графический редактор печатной платы предоставляет свой, отличающийся от редактора схем, способ назначения классов цепей и других объектов печатной платы:

1. Активизировать команду главного меню программы Design>>Classes. Откроется диалоговое окно управления классами объектов Object Class Explorer (рис. 6.3).

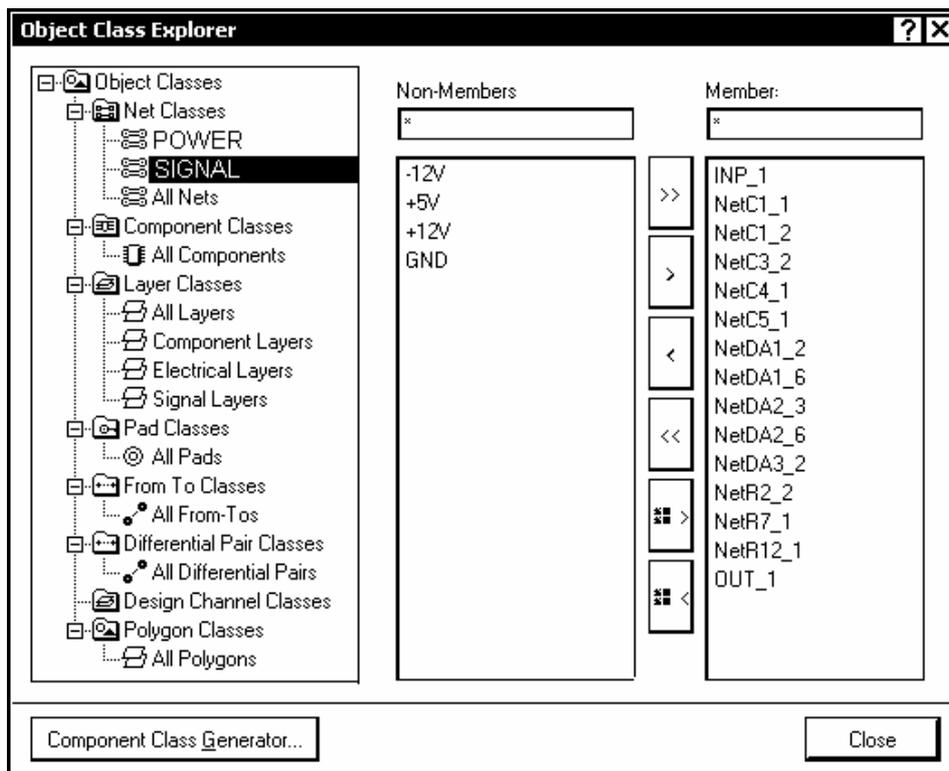


Рис. 6.3

В левом поле окна будет изображено дерево классов с корневым узлом Object Classes, содержащее узлы:

- Net Classes – классы цепей;

- Component Classes – классы компонентов;
- Layer Classes – классы слоев печатной платы;
- Pad Classes – классы контактных площадок;
- From to Classes – классы взаиморасположения объектов;
- Differential Pair Classes – классы дифференциальных пар;
- Design Channel Classes – классы каналов проекта;
- Polygon Classes – классы полигонов.

В случае определения классов цепей все цепи по умолчанию включены в единственный класс All Nets.

Правую часть окна занимают два поля:

- Non-Members – объекты, не принадлежащие к классу;
- Members – объекты, принадлежащие к классу (члены класса).

2. Щелчком правой клавиши в поле с деревом классов активизировать контекстное меню и указать в нем команду Add – добавить (класс). В ветви Net Classes узел с именем New Class – новый класс.

3. Навести курсор мыши на имя нового класса, щелчком правой клавиши активизировать контекстное меню и указать в нем команду Rename – переименовать. Имя нового класса оттеняется цветом селекции и окружается рамкой – становится доступным для изменения. Ввести с клавиатуры новое имя для образованного класса, например, Signal.

4. Селектировать в дереве классов узел образованного класса. Имена всех цепей функционального узла оказываются в поле Non-Members – они пока не являются членами нового класса.

5. Селектировать курсором, удерживая клавишу Ctrl, группу имен цепей, передаваемых вновь образованному классу, и щелчком по кнопке  перенести имена выбранных цепей в поле Members.

На рис. 6.3 показан результат группировки сигнальных цепей нашего аналогового функционального узла в класс Signal.

В следующем разделе будет показано, что для классов, сформированных таким способом, в каждой категории правил устанавливается единое правило сразу для всех цепей данного класса.

6.3. Настройка правил проектирования

Встроенная в Altium Designer 6 система правил имеет ряд заметных отличий от подобных систем, используемых в других САПР функциональных узлов РЭС на печатных платах:

- Правила отделены от объектов: они не присваиваются объектам как атрибуты, а сами образуют среду, воздействующую на отдельные объекты или группы объектов, могут модифицироваться и применяться к однородным или разнородным объектам.

- Правила настраиваются и применяются к объектам через гибкую систему запросов (Query System).

- Множество однотипных правил может быть применено к разным наборам объектов. Например, ширина печатных проводников, принадлежащих одной цепи, может быть разной на разных слоях.

- Правила наделяются приоритетом – для одного и того же объекта может быть назначено множество правил, и их конфликты (Contentions) разрешаются назначением приоритетов.

- Существуют два типа правил: унарные, определяющие поведение одного объекта, и бинарные, определяющие взаимодействие пар объектов.

Проектирование модуля фильтров, рассматриваемого в нашем примере относительно несложного функционального узла, не требует привлечения всех возможностей настройки правил проектирования. Ограничимся настройкой параметров электрических цепей – ширины печатных проводников и зазоров между элементами печатного проводящего рисунка. Установим также значение минимально допустимого зазора между корпусами компонентов.

1. Активизируем команду главного меню Design>>Rules. В дереве правил диалогового окна PCB Rules and Constraints Editor (рис. 6.4) можем наблюдать узлы, образованные правилами, настроенными для класса цепей питания и “земли” в среде схемного редактора (см. 5.2.6). Для каждой из четырех цепей ограничения, наложенные на допустимую величину зазоров и допустимую ширину печатных проводников, образуют узлы с именами Schematic Clearance Constraint и Schematic Width Constraint.

2. Выберем курсором в дереве правил один из узлов Schematic Width Constraint. В правой половине окна (рис. 6.4) в поле Constraints отображается эскиз фрагмента печатного проводника с обозначением минимальной, номинальной и максимально допустимой ширины проводника. Ниже отображаются эти же данные в виде таблицы, в которой приведено также цветовое обозначение проводников на сигнальных слоях Top Layer и Bottom Layer.

3. В поле Full Query помещена надпись (InNet(-12V)), обозначающая принадлежность проводников к цепи “минус 12 В”.

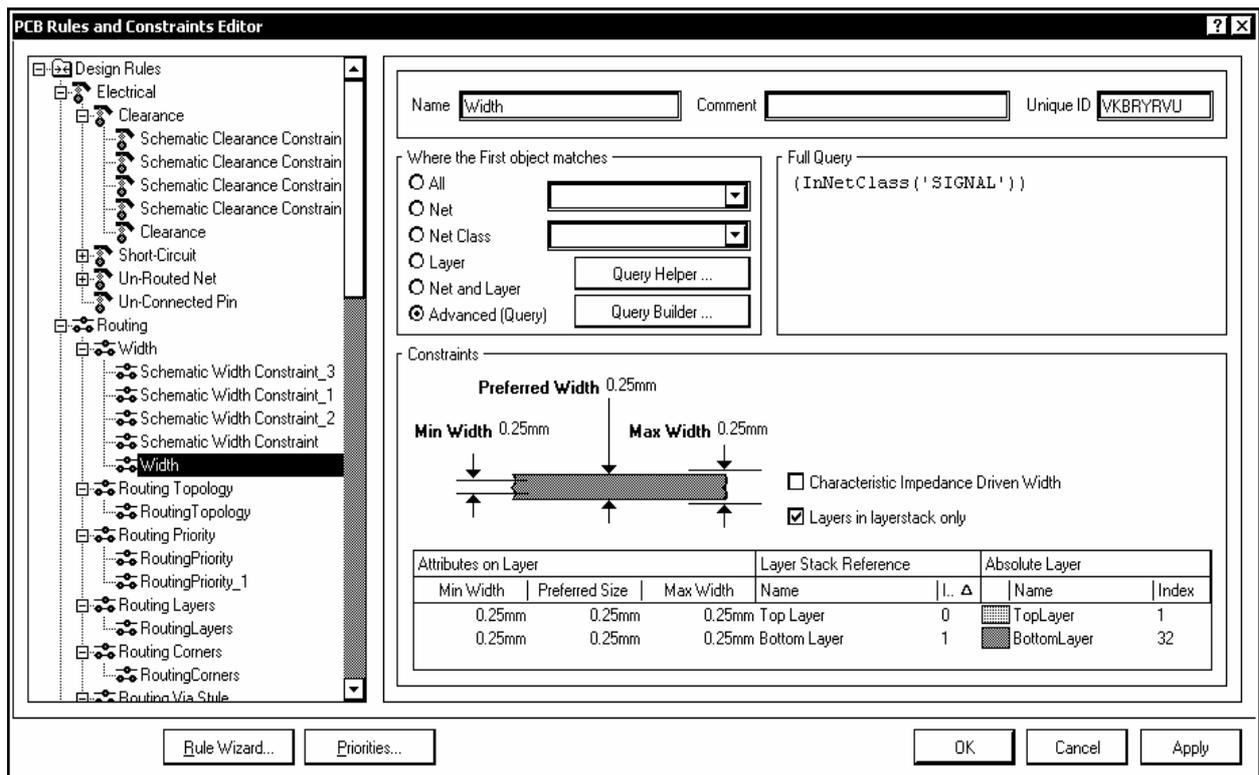


Рис. 6.4

4. В случае необходимости изменить ширину проводников данной цепи следует навести курсор на размерные цифры на эскизе, ввести новые значения и зафиксировать результат кнопкой Apply – применить.

Рассмотрим еще один способ назначения параметров группе печатных проводников, не связанный с назначением классов цепей (для этого служит процедура формирования запросов (Query)):

1. В дереве правил диалогового окна (рис. 6.4) выбрать узел Width – ширина.

2. В поле Constraints установить необходимое значение ширины проводника, аналогично п. 4.

3. Щелчком левой клавиши мыши активизировать команду-кнопку Query Builder. Открывается диалоговое окно формирования запросов на определение принадлежности проводника данной ширины цепям схемы, Building Query from Board (рис. 6.5).

Первоначально в колонке Condition Type/Operator стоит предложение добавить (в таблицу) первое условие: Add First Condition.

4. Щелчком левой клавиши развернуть выпадающий список условий и выбрать в нем условие Belongs to Net – принадлежит цепи. В колонке Condition Value повторяется выражение Belongs to Net. Навести на него

курсор и щелчком левой клавиши активизировать выпадающий список цепей функционального узла.

5. Указать в списке имя цепи “-12V”. В правом поле окна, Query Preview, появляется строка InNet(‘-12V’), а в колонке левого поля Condition Type / Operator выводится предложение добавить следующее условие: Add Another Condition.

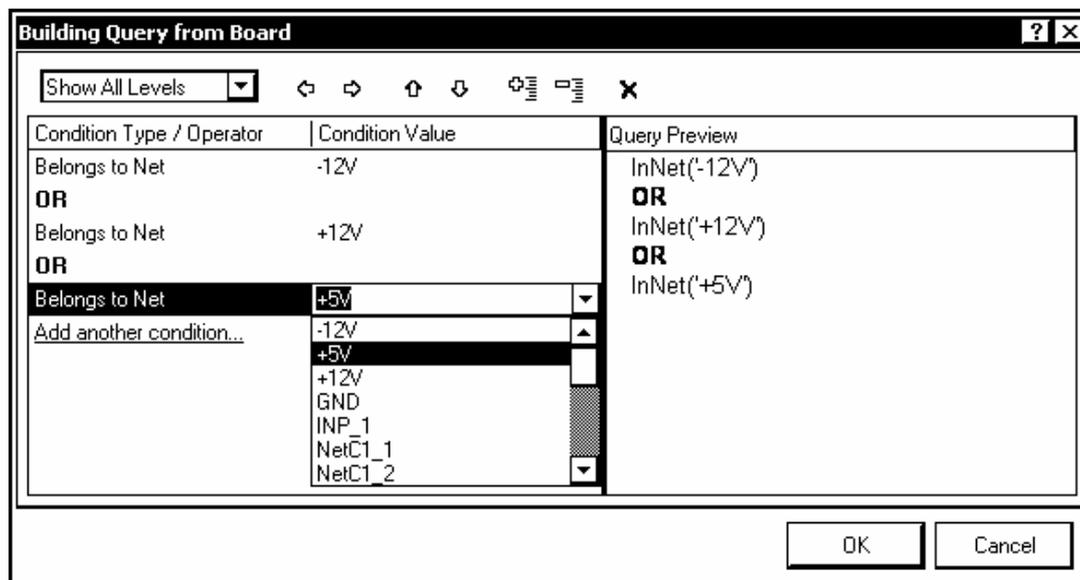


Рис. 6.5

6. Повторить действия пп. 4, 5, указав имя следующей цепи, например “+12V”. Между строками первого и второго условий появляется строка с обозначением логической функции, объединяющей два назначенных условия. Это может быть конъюнкция – функция AND (И), либо дизъюнкция – функция OR (ИЛИ). Щелчком левой клавиши развернуть список из этих двух логических функций и выбрать функцию ИЛИ (OR).

7. Повторяя действия пп. 4...6, составить полный список цепей, для разводки которых предназначается данная ширина проводников. Список этих цепей и правила их объединения в группу отображаются в поле Query Preview окна, рис. 6.5.

8. Щелчком на ОК завершить диалог формирования запросов. В окне настройки правил (рис. 6.4) кнопкой Apply зафиксировать выполненные изменения правил.

Покажем теперь, как назначается ширина печатных проводников для цепей целого класса Signal. Для этого выберем в ветви Routing>>Width узел Width, установим значение ширины проводника 0,25 мм и запустим процедуру формирования запросов Query Builder.

Аналогично п. 4, развернем в окне (рис. 6.5) выпадающий список условий, но выберем в нем условие *Belongs to Net Class*, после чего в колонке *Condition Value* развернем выпадающий список классов и укажем в нем класс *Signal*.

В поле *Query Preview* выводится строка *InNetClass('Signal')*. Щелчком на *OK* закроем формирование запросов, и в окне (см. рис. 6.4) зафиксируем настройку кнопкой *Apply* – применить.

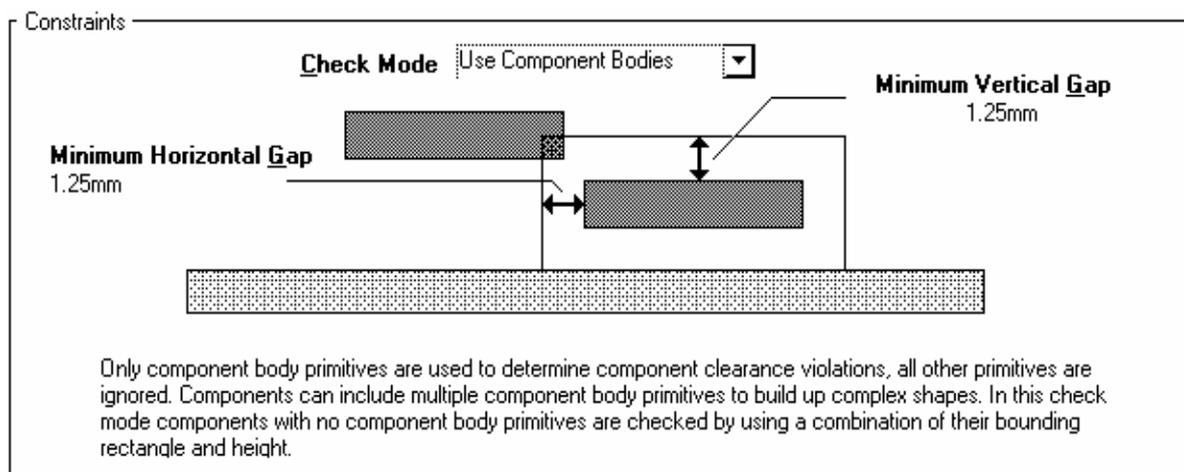


Рис. 6.6

Назначим для нашего проекта еще одно правило – ограничение минимально допустимого зазора между корпусами компонентов. Активизируем в дереве правил диалогового окна (рис. 6.4) узел *Placement>>Component Clearance*. В поле *Constraints* изображается диаграмма (рис. 6.6), позволяющая установить необходимые значения зазоров.

Установим значения зазоров по горизонтали и по вертикали 1,25 мм и зафиксируем настройку кнопкой *Apply*.

6.4. Приоритеты правил

При назначении нескольких однородных правил-ограничений, например ширины проводников для разных цепей или классов, программа выстраивает их приоритеты в той последовательности, в которой назначались правила, обозначая приоритет порядковыми номерами начиная с 1. Для изменения приоритета щелчком кнопки *Priorities* в окне на рис. 6.4 активизировать диалог редактирования приоритетов. Откроется диалоговое окно *Edit Rule Priorities* (рис. 6.7).

Кнопки *Increase Priority* и *Decrease Priority* перемещают выбранное правило вверх или вниз по списку, меняя его приоритет. Из этого можно сделать вывод, что приоритет 1 – высший.

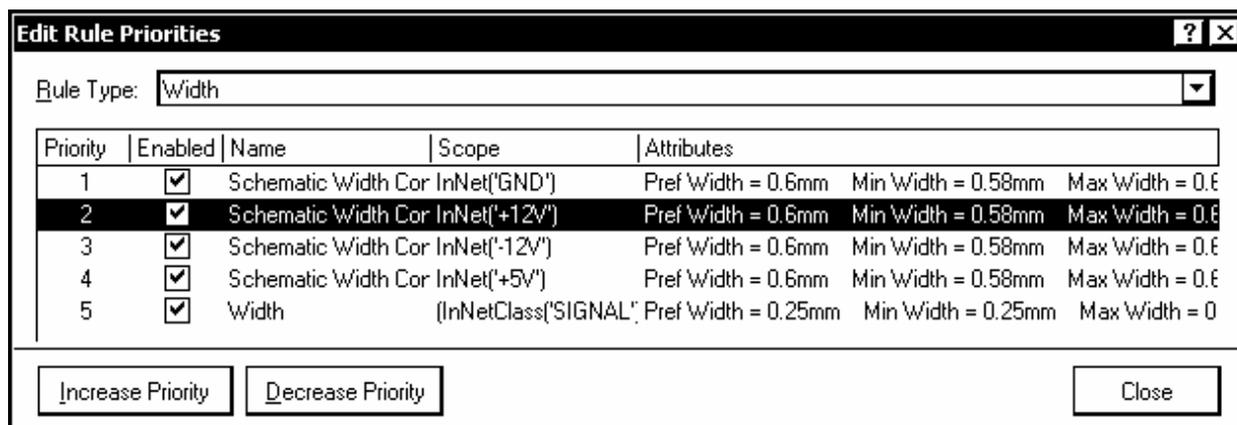


Рис. 6.7

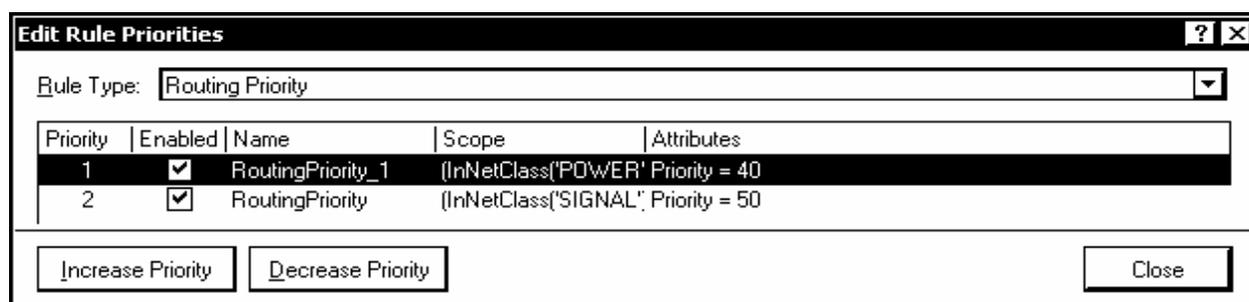


Рис. 6.8

По-другому устанавливается приоритет правила Routing Priority, которому назначается атрибут Priority непосредственно в правом поле окна на рис. 6.4. Значение атрибута Priority может быть установлено в пределах 0...100 (100 – высший приоритет). При этом кнопкой Priorities обычным образом вызывается окно редактирования приоритетов, в котором правила, как и в первом случае, выстроены по списку с номерами 1, 2 и т. д. и также могут перемещаться вверх или вниз (рис. 6.8).

В результате правило с более высоким значением атрибута Priority может оказаться в списке ниже правила с меньшим значением атрибута.

6.5. Порядок применения правил

Порядок применения правил проектирования, в зависимости от сложности проекта, может быть простым и очевидным, а может быть и весьма сложным. В среде проектирования печатной платы Altium Designer 6 заложены эффективные средства контроля того, в каком порядке установленные правила проектирования применяются к различным объектам.

Возможны два метода контроля применения правил: первый – выбрать объект и исследовать правила, распространяющиеся на данный объект; вто-

рой – выбрать правило и провести обзор объектов, подпадающих под эти правила. Как использовать один из этих методов или их сочетание – вопрос личных предпочтений разработчика проекта.

6.5.1. Наложение правил на объекты

Могут проверяться унарные и бинарные правила. Процедура проверки приоритетов в обоих случаях практически одинакова.

Для проверки унарных правил следует навести курсор на объект на печатной плате, после чего щелчком правой клавиши активизировать контекстное меню и указать в нем команду *Applicable Unary Rules* (применяемые унарные правила). Откроется диалоговое окно *Applicable Rules* (рис. 6.9). На его активной вкладке *Unary Rules* будет указано имя выбранного объекта и развернут список правил, наложенных на данный объект.

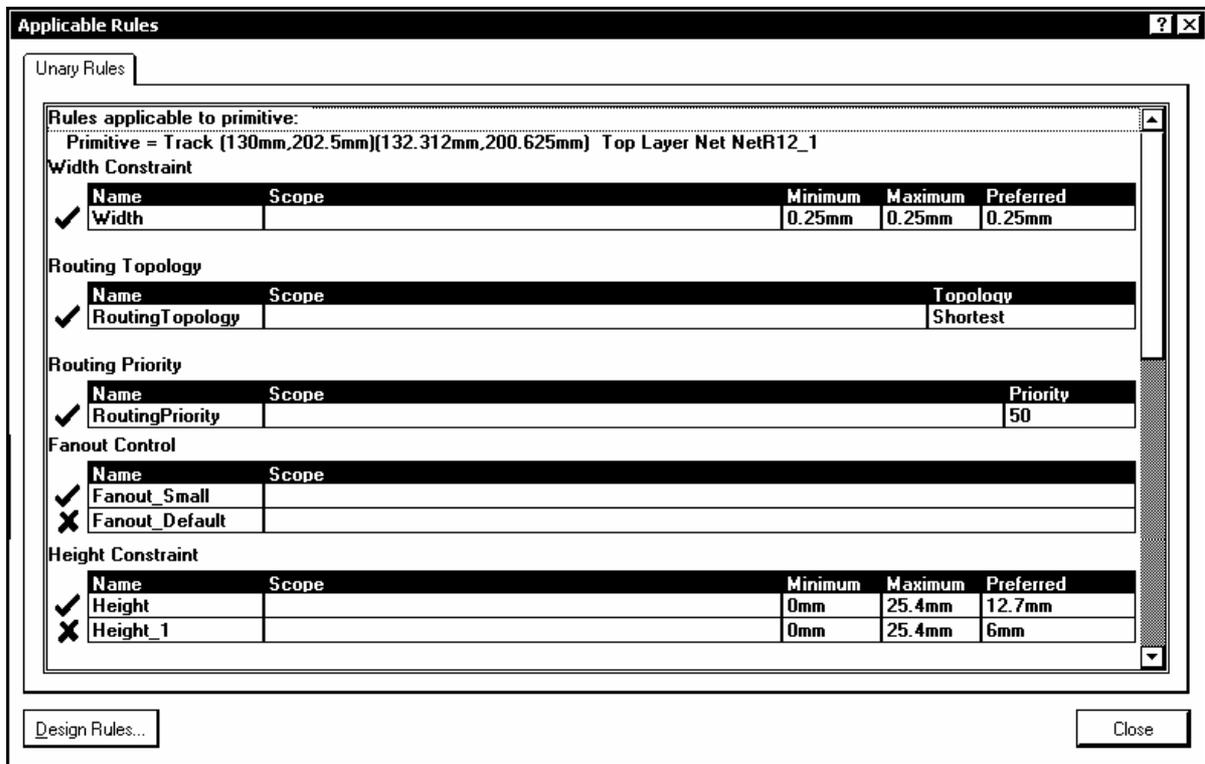


Рис. 6.9

Список разбит на категории. Информация по каждой категории сгруппирована в списки. Правила в списке расположены в порядке убывания приоритета, при этом правило, обладающее высшим приоритетом, отмечается птичкой зеленого цвета, а правила с меньшим приоритетом и правила, действие которых приостановлено, отмечаются красными крестиками. Это позволяет визуально оценить порядок применения правил.

Для редактирования какого-либо правила следует выделить его курсором и кнопкой Design Rules активизировать рассмотренную ранее стандартную процедуру редактирования правил.

Для проверки и редактирования бинарных правил, т. е. правил, устанавливающих взаимоотношения пары объектов, необходимо указать курсором первый объект. Щелчком правой клавиши активизировать контекстное меню и указать в нем команду Applicable Binary Rules.

Выделить щелчками мыши два объекта, для которых назначались правила. Откроется диалоговое окно Applicable Rules с активной вкладкой Binary Rules (рис. 6.10).

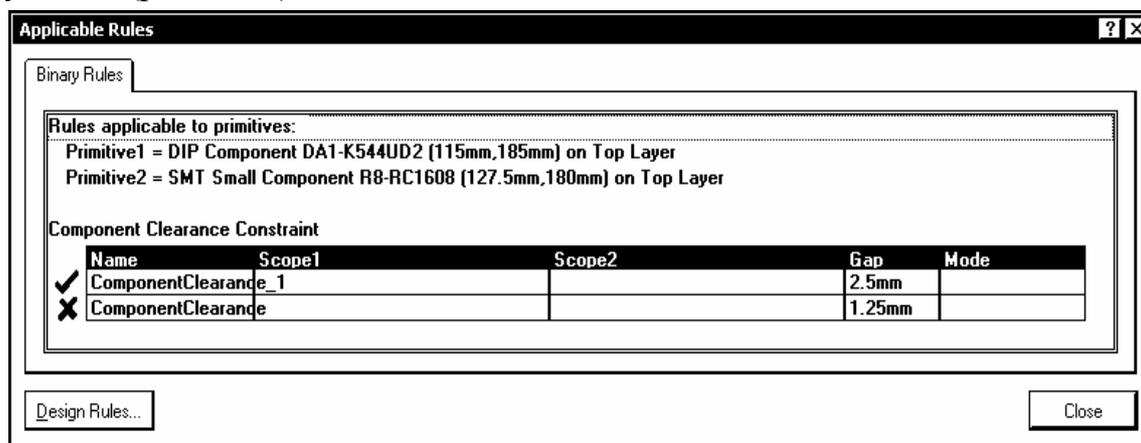


Рис. 6.10

На этот раз на вкладке указаны имена двух объектов, а в списке правил – правила, определяющие взаимоотношения между этими двумя объектами. Приоритет правил также отмечен значками: высший – зеленой птичкой; низший – красным крестиком.

Аналогично унарным правилам, бинарное правило также может быть отредактировано.

6.5.2. Обзор объектов, подпадающих под правило

1. Активизировать в среде графического редактора печатной платы, плавающую панель РСВ (рис. 6.11).

2. Настроить панель на исследование правил проектирования. Для этого в верхнем поле окна, рис. 6.11, развернуть выпадающий список и выбрать в нем строку Rules – правила.

3. В нижележащем поле панели РСВ представлен список установленных классов правил. В этом списке выбрать правило, устанавливающее ограничения на ширину печатных проводников – Width Constraint.

4. В следующем по высоте поле откроется список всех установленных ограничений. В нашем случае это ширина проводников, принадлежащих цепям питания, “земли” (GND) и цепям класса Signal.

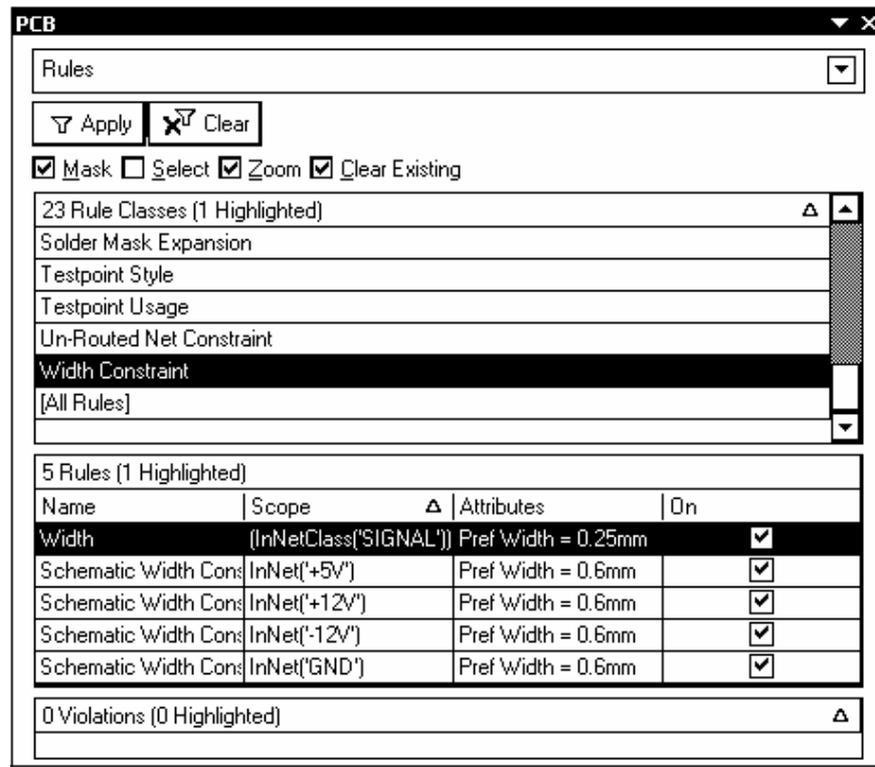


Рис. 6.11

5. При выборе в панели РСВ какого-либо правила в среде графического редактора печатной платы открывается процедура фильтрации объектов: в результате на плате подсвечиваются объекты, на которые распространяется это правило. В данном случае – печатные проводники.

6. Двойным щелчком левой клавиши выбранное правило вызывается для редактирования. Открывается диалоговое окно с именем Edit PCB Rule – Max-Min Width Rule, фактически повторяющее правое поле окна, приведенного на рис. 6.4. Процедура редактирования правила, рассмотренная на с. 96 – 98, полностью применима в данном случае.

6.6. Размещение компонентов на печатной плате

Подобно многим распространенным САПР печатных плат, Altium Designer 6 содержит функции ручного и автоматического размещения компонентов. В качестве критерия достижения успеха при автоматическом размещении (там, где оно имеется) обычно используется минимум средней длины связи. При ручном размещении возможна лишь визуальная оценка. Интуи-

тивно конструктор руководствуется подобным же критерием, хотя количественная его оценка трудна и поэтому вычисления обычно не делаются. Опыт показывает, что результат ручного размещения часто превосходит результат автоматического размещения в тех САПР, где эта функция имеется. Начнем с рассмотрения ручного размещения компонентов.

6.6.1. Ручное размещение

Приемы ручного размещения компонентов на поле печатной платы отличаются от тех, к которым привыкли разработчики, работающие в P-CAD версий 2000 и выше. Основное отличие состоит в отсутствии необходимости предварительного выбора компонента.

1. Клавишами Page Up/Page Down отмасштабировать изображение контуров платы и лежащих поверх нее или рядом (см. рис. 6.2) ТПМ компонентов проекта так, чтобы на экране открылась зона размещения.

2. Кнопками прокрутки экрана переместить все изображение так, чтобы на поле печатной платы (в пределах ее контура) было достаточно места для размещения ТПМ в новых положениях.

3. Навести курсор приблизительно на геометрический центр ТПМ, подлежащего перемещению, нажать левую клавишу мыши и, не отпуская ее, начать перемещение ТПМ по полю печатной платы. При этом курсор изменит форму на малое перекрестие (Small Cross) и перескочит в точку привязки ТПМ (Reference Point). Удобно формировать ТПМ так, чтобы этой точкой был ключевой контакт компонента.

4. Переместить курсор, а вместе с ним и ТПМ компонента из исходного в новое положение. ТПМ перемещается дискретно по узлам сетки Component Grid. Одновременно с этим перемещаются ниточки электрических связей. Кроме того, программа показывает на экране “вектор тяготения” компонента к другим компонентам, связанным с ним электрическими связями. Этот вектор имеет зеленый цвет, если в процессе перемещения ТПМ программа не обнаруживает нарушений правил проектирования: в норме остаются зазоры между компонентами, не пересекаются (если это вообще возможно) и не растягиваются чрезмерно электрические связи, контуры ТПМ целиком остаются в пределах контура платы или области Room. Если при перемещении ТПМ размещение по оценке программы ухудшается, вектор тяготения приобретает красный цвет.

5. Отпустить клавишу мыши. ТПМ компонента зафиксирован в новом положении.

6. Аналогично переместить ТПМ остальных компонентов.

В процессе перемещения нажатием клавиши “Пробел” (Spacebar) ТПМ могут разворачиваться на угол, кратный 90°. При этом текст, связанный с компонентом (позиционное обозначение по схеме, обозначение типа ЭРК), поворачивается вместе с графикой ТПМ.

Чтобы переместить или повернуть текст, связанный с компонентом, не затрагивая ориентации ТПМ, следует сначала сделать его видимым – активизировать слой, в котором он сформирован в библиотечном компоненте (обычно это слой Top Overlay). Затем можно указать на текст курсором и перемещать его при нажатой клавише мыши или поворачивать нажатием клавиши “Пробел”.

Помощью в расположении компонентов, в особенности аналоговых, могут служить рекомендации, приводимые в руководствах по применению компонентов или публикуемые производителями компонентов в справочных материалах. Следуя этим рекомендациям, можно избежать неприятностей, связанных, например, с возможностью возникновения паразитных связей между входными и выходными сигнальными цепями.

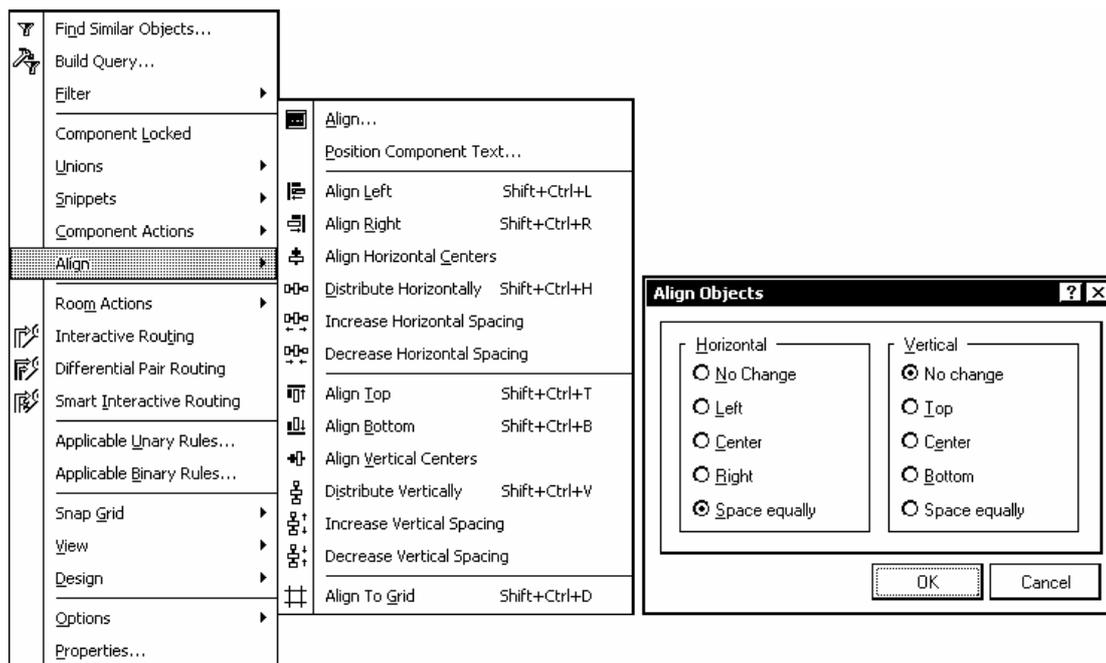
Кроме рассмотренных, Altium Designer 6 содержит средства интерактивного размещения компонентов (это, в основном, функции выравнивания размещаемых компонентов и изменения расстояний между ними):

1. Нажав и удерживая клавишу Shift, выделить несколько компонентов на поле печатной платы. Можно вместо этого окружить группу компонентов рамкой селекции при нажатой левой клавише мыши.

2. Навести курсор на один из выделенных компонентов и щелчком правой клавиши мыши активизировать контекстное меню (рис. 6.12, а).

3. Указать в контекстном меню команду Align – выровнять. Откроется панель подкоманд:

- Align – при активизации этой подкоманды вызывается диалоговое окно (рис. 6.12, б), в котором могут быть активизированы 8 из 14 команд, перечисляемых далее;
- Position Component Text – изменить положение текста, связанного с компонентами;
- Align Left – выровнять выбранную группу компонентов по левому краю области селекции;
- Align Right – выровнять по правому краю области селекции;



a

б

Рис. 6.12

- Align Top – выровнять по верхнему краю;
- Align Bottom – выровнять по нижнему краю;
- Align Horizontal Centers – выровнять центры ТПМ по горизонтали в пределах области селекции;
- Align Vertical Centers – выровнять центры ТПМ по вертикали;
- Distribute Horizontally – распределить равномерно по горизонтали в пределах области селекции;
- Distribute Vertically – распределить равномерно по вертикали;
- Increase Horizontal Spacing – увеличить зазоры по горизонтали;
- Decrease Horizontal Spacing – уменьшить зазоры по горизонтали;
- Increase Vertical Spacing – увеличить зазоры по вертикали;
- Decrease Vertical Spacing – уменьшить зазоры по вертикали;
- Align to Grid – распределить по узлам сетки.

4. По окончании выравнивания вывести курсор на свободное пространство в пределах графического листа редактора печатной платы и щелчком левой клавиши мыши снять выделение с выбранной группы ТПМ.

В целом, при том что рассмотренные функции считаются функциями интерактивного размещения, по-настоящему повлиять на размещение они не в состоянии, хотя и предоставляют некоторые локальные удобства.

6.6.2. Автоматическое размещение

Следует отметить, что большинство известных САПР располагает довольно слабыми средствами авторазмещения. Не составляет исключения и Altium Designer. Тем не менее, рассмотрим те средства, которыми он располагает.

В состав функций Altium Designer 6 входят две утилиты авторазмещения компонентов – Cluster Placer и Statistical Placer. Первая утилита предназначена для работы с несложными проектами – не более 100 компонентов на одной печатной плате. Вторая утилита имеет в основе более сложный алгоритм и предназначена для более сложных проектов.

Перед началом авторазмещения необходимо определить на плате область, в которую должны быть помещены компоненты:

1. Указать мышью в обрамлении графического окна программы закладку с именем слоя Keep-Out Layer.
2. Активизировать команду главного меню Place>>Keepout>>Track.
3. Указывая щелчками мыши углы, вычертить замкнутый контур области размещения.

Затем следует указать правила и ограничения, которым должна следовать программа при авторазмещении.

4. Активизировать в главном меню программы либо в контекстном меню (по щелчку правой клавиши) или горячими клавишами D, R команду настройки правил Design>>Rules.

5. Выбрать в дереве правил диалогового окна PCB Rules and Constraints Editor (см. рис. 6.4) ветвь Placement>>Component Clearance.

6. В поле Constraints (ограничения) диалогового окна на рис. 6.4 активизировать выпадающий список и указать в нем режим проверки выполнения правил:

- Quick Check (быстрая проверка) – проверяется величина зазора между прямоугольниками минимального размера, охватывающими все графические примитивы, образующие очертания компонентов;
- Multi Layer Check – то же самое плюс контроль наличия сквозных КП на слое Bottom, на случай если выполняется размещение компонентов со штыревыми выводами на одной стороне платы и планарных компонентов на другой;
- Full Check (полная проверка) – проверяются зазоры между истинными очертаниями компонентов;

- Use Component Bodies (дословно: использование тела компонента) – правило, распространяющееся на компоненты, имеющие трехмерную модель корпуса: в поле Constraints строится диаграмма (см. рис. 6.6), на которой указывается не только зазор между компонентами на плоскости ПП, но и зазор по высоте.

7. В полях Where the First object matches (где встречается первый объект) и Where the Second object matches (где встречается второй объект) сформировать подмножества объектов, между которыми должен быть назначен минимально допустимый зазор. Подмножества объектов формируются посредством процедуры генерации запросов, активизируемой щелчком на кнопке Query Builder (см. 6.3). Однако, группируя объекты в подмножества, мы можем задать значения зазоров между объектами первого и второго подмножеств, в то время как внутри каждого подмножества зазор указать затруднительно. Для этого пришлось бы включить все объекты как в первое, так и во второе подмножество. Такое положение достигается более простым способом: следует активизировать в обоих полях диалогового окна опцию All (все). В этом случае программа авторазмещения проверит величину зазора между любой парой компонентов.

8. Кнопкой Apply (применить) в окне настройки правил зафиксировать установленные правила управления зазорами.

9. Кроме рассмотренного, может быть настроено еще несколько правил для авторазмещения:

- Component Orientations – ориентация компонентов;
- Permitted Layers – разрешенные слои;
- Nets to Ignore – цепи, которые следует игнорировать (поскольку главным критерием при авторазмещении является длина линий электрической связи, чересчур длинные цепи затрудняют размещение и замедляют его выполнение);

- Height – высота корпусов компонентов.

10. Активизировать команду главного меню Tools>>Component Placement>>Auto Placer. В открывающемся диалоговом окне Auto Place активизировать опцию Cluster Placer и щелчком на ОК запустить процедуру авторазмещения.

Утилита Cluster Placer размещает компоненты в области Keerout, прижимая их к левому нижнему углу области. Если при этом зазор между компонен-

тами или компонентами и границей области Keerout оказывается меньше указанного в правилах, такие компоненты, а также границы области размещения оттеняются зеленым цветом. Используя операции ручного или интерактивного размещения, добиться удовлетворительного результата.

Рассмотрим еще один прием, позволяющий несколько улучшить результат авторазмещения, – размещение в областях Room (комнаты).

1. Перед размещением следует сгруппировать компоненты, подлежащие размещению в первой, второй и т. д. областях Room в классы. Процедура объединения объектов в классы рассмотрена в 6.2.

2. Аналогично пп. 1...3 на с. 107 построить общую область Keerout для размещения всех компонентов проекта.

3. Активизировать диалог настройки правил (командой Design>>Rules в главном или контекстном меню или клавишами D, R).

4. В дереве правил проекта (рис. 6.13) указать ветвь Placement/Room Definition, щелчком правой клавиши мыши активизировать контекстное меню и в нем команду New Rule – назначить новое правило. В ветви появляется новый узел с именем Rule Definition.

5. Выбрать в дереве новую ветвь и переименовать ее – ввести новое имя в поле Name в правой половине окна, рис. 6.13.

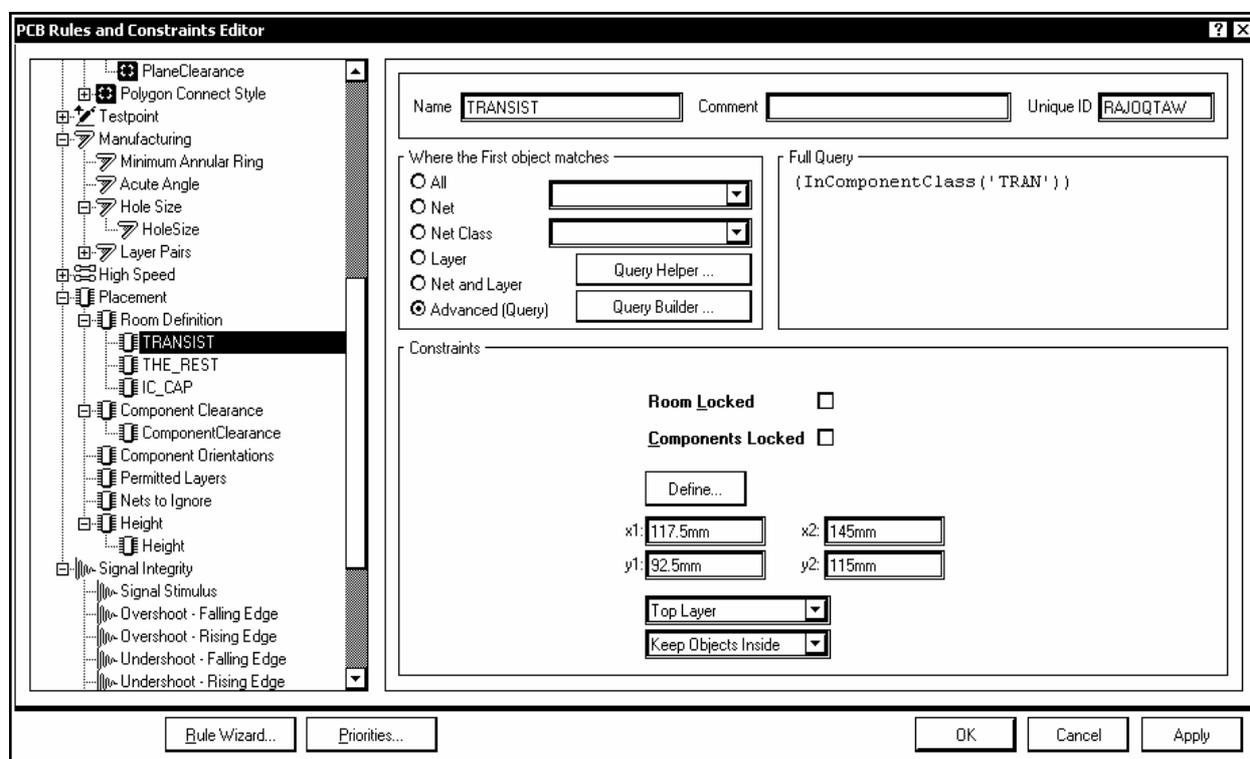


Рис. 6.13

6. В поле Where the First object matches кнопкой Query Builder активировать построение запросов на назначение классов объектов, подлежащих размещению в области Room (см. рис. 6.5). В поле результатов Full Query появится сообщение (In Component Class ('<имя класса объектов>').

7. В поле Constraints:

- указать один из наружных слоев печатной платы, на котором размещаются компоненты (на рис. 6.13 указан верхний слой Top Layer);
- указать признак размещения объектов в пределах границ области Room – Keep Objects Inside;
- кнопкой Define активировать процедуру определения геометрической формы области Room (диалоговое окно временно закроется), после чего движениями курсора и щелчками левой клавиши мыши указать углы области Room так, чтобы все они лежали в пределах зоны Keepout, а сама область была односвязной (без пересечения ребер); если область Room должна иметь прямоугольную форму, вместо этого можно ввести с клавиатуры координаты противоположащих углов прямоугольника.

8. Аналогичным образом определить следующие области Room, указать в них классы объектов и выполнить размещение объектов в этих областях.

7. ТРАССИРОВКА ПЕЧАТНОГО МОНТАЖА

Проектирование печатных плат в свое время было и в некоторой степени до сих пор остается сродни искусству. Это связано с тем, что конечный результат – удачно спроектированная печатная плата, проводники которой образуют изящные конфигурации, обтекающие препятствия, переходящие со слоя на слой, – требует от конструктора проявления максимума его творческих способностей и пространственного воображения, соединенных с методическим подходом, понимания того, какие приемы позволяют добиться хорошего стиля и качества.

Одной из главных целей разработки и использования САПР при проектировании функциональных узлов РЭС на печатных платах является автоматизация разводки трасс печатного монтажа. Только автотрассировка дает настоящий скачок в производительности труда конструктора. Работа, которая вручную выполняется за недели и даже месяцы, в современных высокоэффективных САПР занимает секунды или минуты, в самых трудных случаях – часы. При разработке программных средств автотрассировки в них вкладыва-

ваются элементы искусственного интеллекта – алгоритмы действия нейронных сетей (на том уровне представлений, который достигнут современной наукой о мозге), топологические алгоритмы поиска пути на графе, анализ геометрии препятствий на пути печатного проводника и т. п. В этой области получен ряд впечатляющих результатов – SPECCTRA, P-CAD Shape Router, отечественный TopoR, автотрассировщик Situs, входящий в состав Protel DXP и Altium Designer 6, и ряд других.

Тем не менее, выполнение трассировки вручную сохраняет право на существование. Автотрассировщик обычно перебирает электрические связи проекта по очереди и применяет при разводке систему правил и приоритетов, так называемую стратегию, в которой не всегда возможно указать “тонкие” приемы разводки. Конструктор, приступая к ручной трассировке, в состоянии окинуть проект более широким взглядом и выстроить для себя неформальную и более сложную систему правил и приоритетов, чем та, которая может быть продиктована программе. Поэтому человеческий интеллект в состоянии решать задачу прокладки пути на монтажном пространстве с препятствиями не хуже современных программ автотрассировки, правда, ценой затраты значительно большего времени.

Существует мнение, что 90 % успеха обеспечивается правильным размещением компонентов, и только 10 % – непосредственно трассировкой. Поэтому в процессе трассировки может потребоваться корректировать выполненное первоначально размещение, выполнять пробные попытки, пока наконец не получится приемлемый результат. По этим соображениям начнем изложение вопроса с описания средств ручной трассировки печатного монтажа, заложенных в графический редактор печатных плат Altium Designer 6.

Будем считать, что конфигурация графического редактора настроена, конфигурация печатной платы и структура ее слоев определена, компоненты размещены, правила трассировки (классы цепей, ширина проводников, зазоры) заданы. Все эти вопросы рассматривались в разд. 6.

Графический редактор печатных плат САПР Altium Designer 6 располагает тремя функциями ручной трассировки, по названию и по существу все они являются интерактивными:

- (Standard) Interactive Routing – стандартная интерактивная трассировка: программа подсказывает возможный путь прокладки очередного сегмента печатного проводника;

- Smart Interactive Routing – “тонкая”, изошренная интерактивная трассировка: программа подсказывает и частично выполняет более сложные варианты прокладки трассы;

- Differential Pair Routing – трассировка дифференциальных пар.

При передаче электрической схемы на печатную плату электрические соединения по умолчанию изображаются нитями светло-серого цвета. Их может быть настолько много, что это затруднит выбор нитей, принадлежащих электрической связи, которая в текущий момент времени должна быть разведена в виде печатного проводника. В отличие от версий P-CAD 2000 и выше, в которых выделение трассируемой цепи цветом и яркой подсветкой указывается при настройке конфигурации графического редактора печатных плат и затем выполняется автоматически, в Altium Designer 6 такое выделение указывается для каждой очередной цепи индивидуально и может быть выполнено несколькими способами.

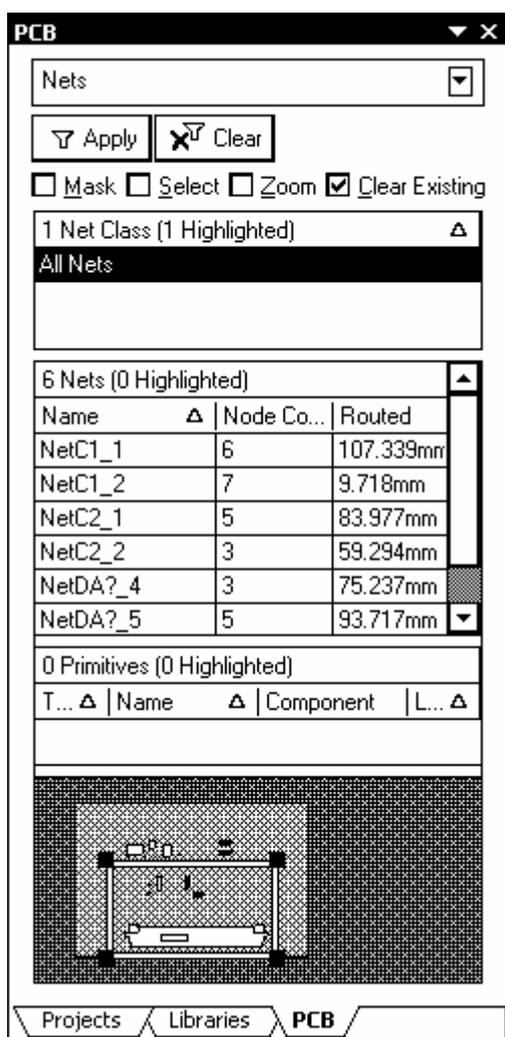


Рис. 7.1

1. Маскирование всего остального с использованием функций плавающей панели PCB:

- Щелчком левой клавиши мыши на кнопке PCB в правом нижнем углу главного окна программы вызвать выпадающее меню и активизировать плавающую панель PCB (рис. 7.1).

- В поле выбора объектов вверху панели PCB выбрать Nets – цепи.

В нижележащих полях панели PCB выводятся:

- список классов цепей; если классы не назначались, по умолчанию все цепи принадлежат одному классу с именем All Nets – все цепи;

- список цепей текущего активного класса: для каждой цепи указывается число узлов (контактов компонентов) и длина печатного проводника, если цепь уже разведена;

- список графических примитивов, составляющих выбранную цепь, – контактных площадок, переходных отверстий, сегментов печатного проводника (если цепь разведена).

- В верхней части панели активизировать птички опций:
 - Mask – маскировать все, кроме выбранной цепи;
 - Zoom – центрировать и увеличить изображение выбранной цепи до размеров графического окна программы;
 - Clear Existing – снимать выделение объектов предыдущей цепи при выборе следующей.

В результате этих настроек нити электрической связи, принадлежащие выбранной цепи, остаются видимыми на экране с прежней яркостью, а остальные связи маскируются. Маскирование снимается щелчком на кнопке Clear.

2. Изменение цвета выделенной цепи:

- В панели PCB указать курсором имя интересующей цепи и двойным щелчком левой клавиши мыши активизировать диалог редактирования параметров цепи – окно Edit Nets.

- Из многочисленных функций редактирования нас в данный момент интересует управление цветом нитей электрической связи – Connection Color.

- Щелчком левой клавиши мыши на цветном поле Connection Color активизировать диалог настройки цветовой палитры – окно Choose Color и выбрать для выделенной цепи яркий цвет, отличающийся от цвета, назначенного по умолчанию.

3. Управление видимостью линий электрической связи:

- Активизировать в главном меню программы команду View и в выпадающем меню указать команду Connections (рис. 7.2, а).

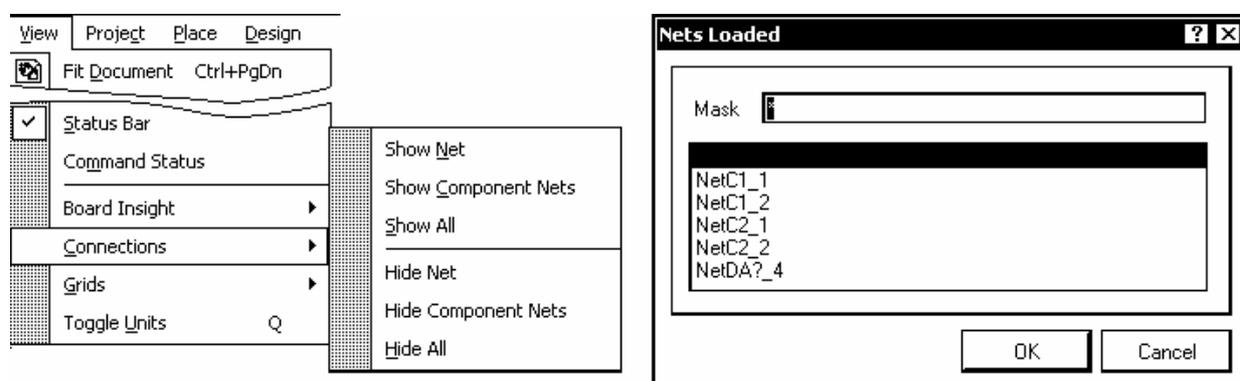


Рис. 7.2

- В подменю следующего уровня указать команду Hide All – скрыть все связи.
- Повторить команду View>>Connections и указать подкоманду Show Net – показать цепь (рис. 7.2, а).
- Щелчком левой клавиши мыши в произвольной точке графического окна программы активизировать диалог назначения имени цепи, которая должна быть видима – окно Net Name. Указать имя цепи и щелчком на ОК включить ее видимость.
- Можно не указывать имя цепи, а закрыть окно Net Name щелчком по ОК. При этом открывается окно Nets Loaded со списком всех цепей проекта (рис. 7.2, б). Выбрать курсором имя цепи из списка и щелчком по ОК включить ее видимость.

Далее рассмотрим заложенные в Altium Designer 6 функции интерактивной трассировки печатного монтажа.

7.1. Стандартная интерактивная трассировка

1. Выбрать сигнальный слой печатной платы, на котором должна начинаться разводка очередной электрической связи. Для этого указать курсором мыши на закладку с именем слоя в обрамлении внизу графического окна программы.

2. Активизировать команду главного меню Place>>Interactive Routing. Курсор в графическом окне программы меняет форму на малое перекрестие. В строке сообщений главного окна программы выводится предложение указать стартовую точку трассы: Choose Starting Location.

3. Указать курсором на контакт одного из компонентов, охваченных линией электрической связи. В случае, если активизирована электрическая сетка (“горячие” клавиши Shift+E), захват контакта компонента происходит при приближении курсора к контакту на расстояние менее одного шага электрической сетки. На пересечении линий курсора возникает кольцо “прицела”, обозначающее захват цепью контакта.

4. Щелчком левой клавиши мыши начать прокладку печатного проводника. Проводник изображается на экране как сплошная полоса, залитая цветом активного сигнального слоя.

Первый сегмент проводника ложится в направлении первого движения курсора. При отклонении курсора от первоначального направления програм-

ма строит пунктиром второй сегмент. Направление прокладки и стиль выполнения сегментов может изменяться перед началом и по ходу прокладки сегментов циклически нажатием горячих клавиш Space (пробел) и Shift+Space. Всего возможен выбор из 9 вариантов начала и завершения прокладки очередных сегментов текущего печатного проводника (см. табл. 7.1 и рис. 7.3).

Таблица 7.1

Номер вар.	Горячие клавиши		Формирование сегментов	Рисунок
	Shift+Space	Space		
1	Line 45	Start	Начало – под углом 45°, следующий сегмент – горизонтально или вертикально	7.3, а
2		End	Начало – вертикально, следующий сегмент – под углом 45°	7.3, б
3	Line 45	Start With Arc	Начало – под 45° в виде дуги, следующий сегмент – прямой вверх или горизонтально	7.3, в
4		End – Rounded Corner	Начало – вертикально, конец сегмента – в виде сопряженной дуги, продолжение – прямое под углом 45°	7.3, д
5	Line 90	Start	Начало – вертикально, следующие сегменты – под углом 90°	7.3, е
6		End	Начало – горизонтально, следующий сегмент – вертикально и т. д.	7.3, ж
7	Line 90	Start with Arc	Начало – вертикально, дугой с внутренним углом 90° или прямолинейным отрезком с дугой на конце	7.3, з
8		End With Arc	Начало – горизонтально, дугой с внутренним углом 90° или прямолинейным отрезком с дугой на конце	7.3, и
9	Any Angle	–	Прокладка сегментов – под произвольным углом, но через узлы активной сетки	7.3, в

5. Щелчком левой клавиши мыши первый сегмент фиксируется. Второй сегмент из пунктирного превращается в сплошной. Прокладка второго сегмента продолжается, вслед за ним пунктиром строится следующий сегмент. Вторым щелчком мыши оба сегмента фиксируются на плате.

6. Горячей клавишей “1” характер прокладки трассы меняется: оба сегмента – начальный и предлагаемый программой следующий выполняются со сплошной заливкой и фиксируются оба сразу одним щелчком левой клавиши мыши.

7. Горячей клавишей “*” на цифровой клавиатуре изменяется слой трассировки. В случае трассировки многослойной печатной платы сигналь-

ные слои перебираются циклически. В месте перехода автоматически ставится переходное отверстие, параметры которого назначены в правилах проектирования.

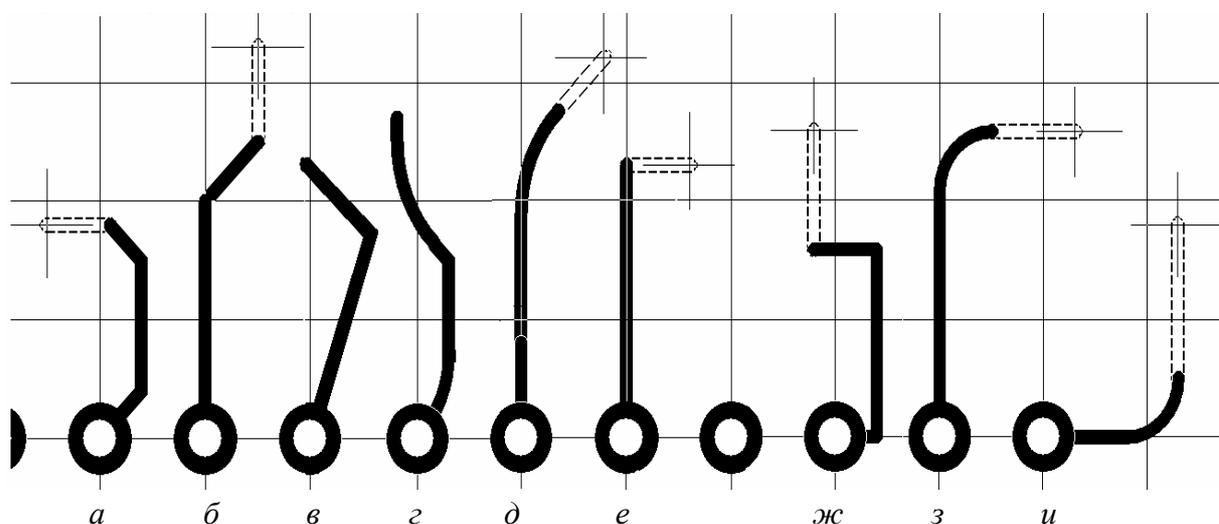


Рис. 7.3

8. Фиксируя щелчками левой клавиши мыши очередные сегменты, довести трассу до конечного пункта (контакта компонента). Последним щелчком зафиксировать трассу в пункте назначения и остановить дальнейшую трассировку щелчком правой клавиши или клавишей Esc.

7.2. Разрешение конфликтов

В процессе разводки трасс печатного монтажа постоянно возникают конфликты – на пути печатного проводника оказываются цепи, проведенные ранее, контактные площадки компонентов, запретные зоны и другие препятствия. В правилах Altium Designer 6 предусмотрено несколько способов разрешения конфликтов. Настройка этих правил выполняется в диалоговом окне Preferences, в ветви дерева правил PCB Editor – Interactive Routing (рис. 7.4).

Всего возможны четыре способа разрешения конфликтов:

1. Stop at First Conflicting Object – остановиться у первого конфликтующего объекта. Этот способ установлен в настройках правил по умолчанию и называется в англоязычной лексике САПР slam'n'jam – “захлопываться и сжиматься”. Печатный проводник останавливается перед препятствием – проводником или контактной площадкой, принадлежащими другой цепи, с соблюдением зазора, установленного правилами (рис. 7.5, а).

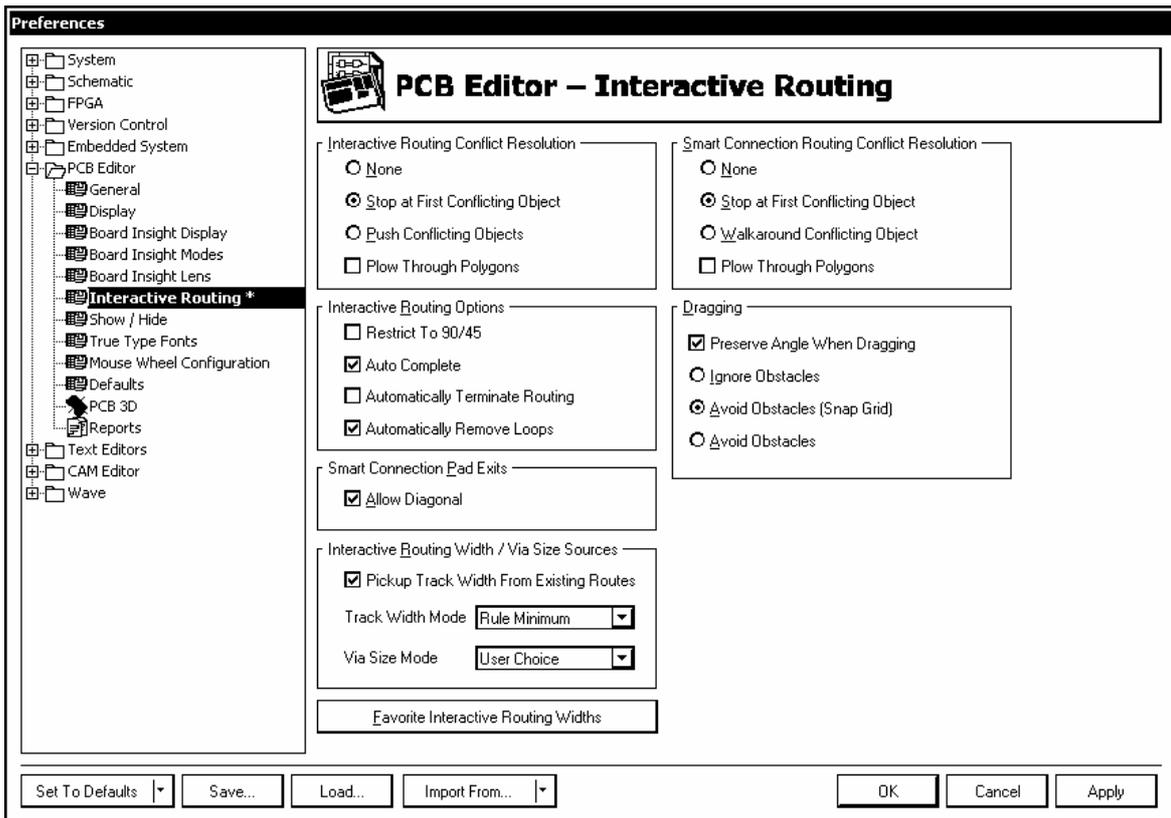


Рис. 7.4

2. Push Conflicting Objects – расталкивать конфликтующие объекты. Этот вариант разрешения конфликтов называется push'n'shove – “отталкивать и пробиваться”. Он доступен только в стандартной интерактивной трассировке. Мешающие проводники деформируются так, чтобы обеспечивался установленный правилами зазор между ними и новой трассой (рис. 7.5, а).

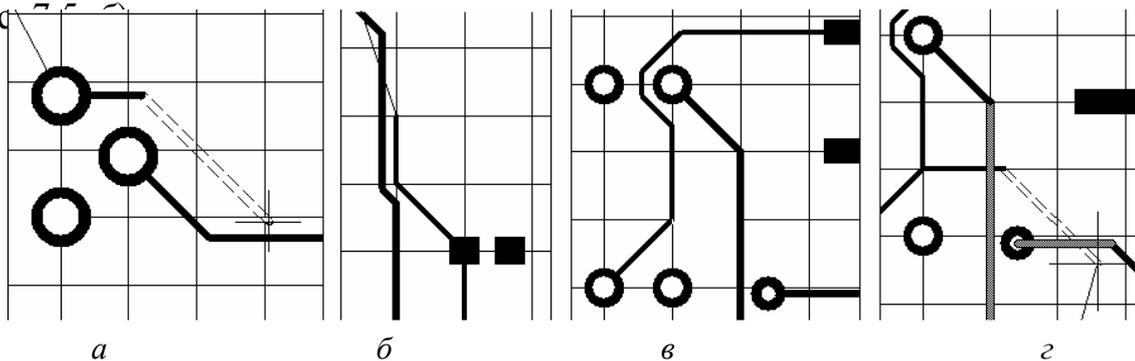


Рис. 7.5

Если оттолкнуть препятствие невозможно (если это, например, контактная площадка компонента), программа переключается в четвертый режим – игнорирование препятствий (см. далее, п. 4).

3. Walkaround Objects – обходить вокруг объектов, мешающих трассе (рис. 7.5, в). Данный вариант разрешения конфликтов доступен только в “острой”

(Smart) интерактивной трассировке. Если препятствие невозможно обойти, программа возвращается к первому варианту – остановке перед препятствием.

4. Ignore Obstacles – игнорировать препятствия. Нарушения правил отмечаются цветовой подсветкой, но новая трасса может быть проведена поверх препятствий (рис. 7.5, з).

Комбинацией “горячих” клавиш Shift+R возможно циклическое переключение между режимами разрешения конфликтов. Сообщение о текущем режиме выводится в строке статуса главного окна программы.

7.3. Управление шириной печатного проводника

Ширина проводника определяется настройкой правил проектирования. В правилах (см. 6.3) могут быть назначены минимальная, предпочтительная и максимальная ширина печатного проводника (рис. 7.6).

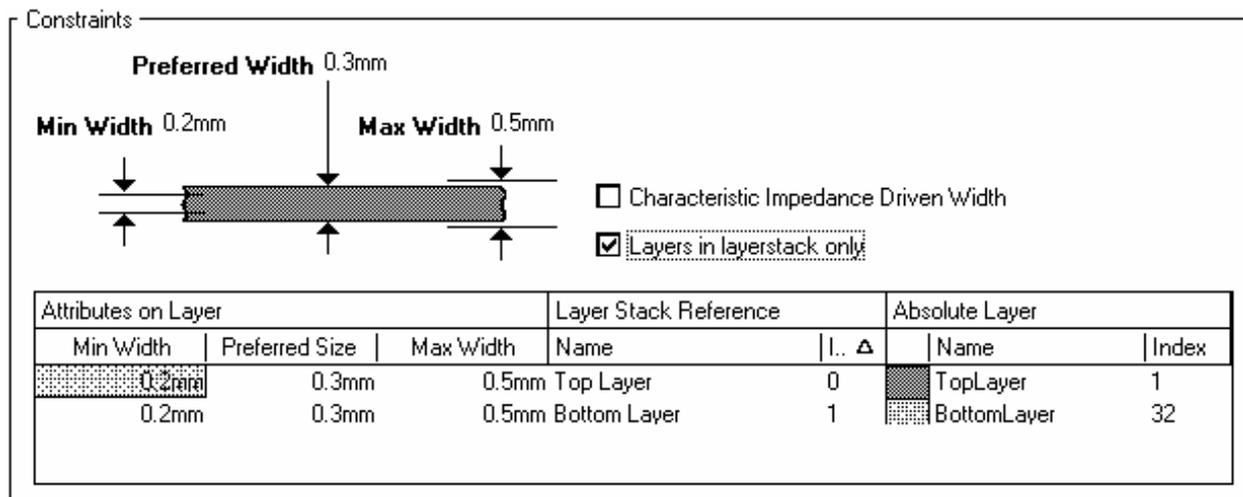


Рис. 7.6

По умолчанию ширине проводника дается предпочтительное значение. В процессе прокладки трассы оно может меняться. При этом программа проверяет границы значений ширины, установленные в правилах, и не дает назначить ширину, выходящую за эти границы. Ширина может изменяться тремя способами “горячего” редактирования:

1. Комбинацией горячих клавиш Shift+W вызвать на экран окно с таблицей допустимых значений ширины проводников (рис. 7.7) и выбрать в ней строку с подходящим значением изменения ширины.

2. “Горячей” клавишей “O” активизировать контекстное меню и указать в нем команду Favourite Routing Widths – предпочтительные значения ширины. Откроется диалоговое окно Favourite Interactive Routing Widths с той же

таблицей и кнопками управления Add – добавить, Delete – удалить и Edit – редактировать.

3. До фиксации очередного сегмента активизировать клавишей Tab диалог настройки Interactive Routing (рис. 7.8).

Imperial		Metric		System Units
Width	Δ	Width	Units	Units
5	mil	0.127	mm	Imperial
6	mil	0.152	mm	Imperial
8	mil	0.203	mm	Imperial
10	mil	0.254	mm	Imperial
12	mil	0.305	mm	Imperial
20	mil	0.508	mm	Imperial
25	mil	0.635	mm	Imperial
50	mil	1.27	mm	Imperial
100	mil	2.54	mm	Imperial
3.937	mil	0.1	mm	Metric
7.874	mil	0.2	mm	Metric
11.811	mil	0.3	mm	Metric
19.685	mil	0.5	mm	Metric
29.528	mil	0.75	mm	Metric
39.37	mil	1	mm	Metric

Apply To All Layers

Рис. 7.7

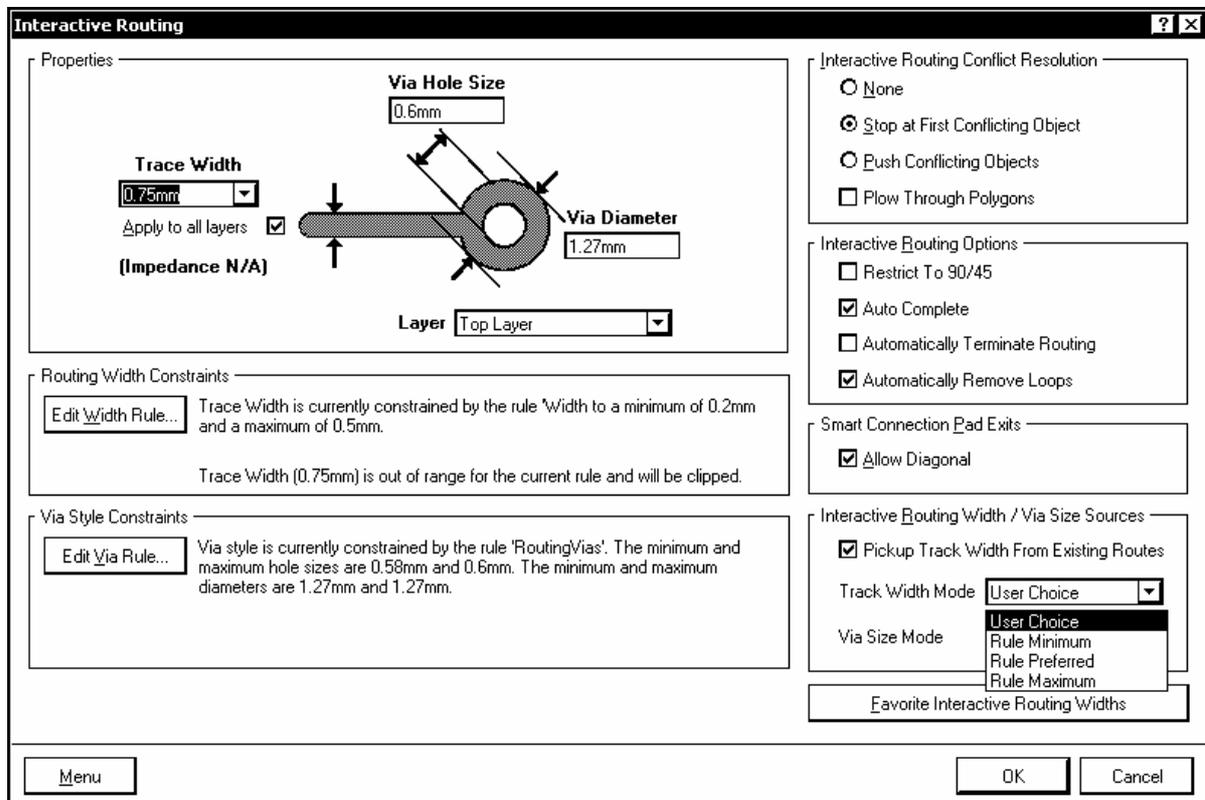


Рис. 7.8

В полях зоны Properties – свойства – выводятся значения ширины печатного проводника (Trace Width), диаметр площадки металлизации (Via Diameter) и самого межслойного переходного отверстия (Via Hole Size), назначенные для текущей цепи или класса цепей в правилах проектирования (по команде Tools>>Preferences>>PCB Editor>>Interactive Routing), а также информация о текущем слое трассировки, для которого назначены эти правила.

Там же приводится графическая иллюстрация назначенных правил.

В целях изменения ширины текущего сегмента прокладываемой трассы щелчком левой клавиши мыши в поле Track Width активизировать список предустановленных значений ширины и выбрать в нем необходимое значение. Оно может также быть введено с клавиатуры. Отметим еще раз, что вводимое значение должно лежать в пределах от минимального до максимального значений, назначенных в правилах проектирования. В случае выхода за эти пределы программа выводит предупреждение вида “Trace Width (0.75 mm) is out of range for the current rule and will be clipped” – ширина трассы (0,75 мм) выходит за пределы, установленные текущим правилом и будет усечена (до верхнего или нижнего значения, в зависимости от того, в какую сторону допущено отклонение).

7.4. Разводка групповых трасс

Одним из приемов стандартной интерактивной трассировки является разводка функционально однородных цепей типа шин адреса и данных ПЭВМ и микроконтроллеров, устройств памяти и т. п. Разводка таких множественных трасс состоит из двух фаз: формирования веера при уходе трассы от контактов компонента и дальнейшая разводка групповой трассы (рис. 7.9).

1. Выделить курсором группу выводов компонента одним из двух способов:

- последовательным указанием на контакты при нажатой клавише регистра – Shift;
- рамкой селекции, формируемой курсором при нажатой клавише Ctrl – при этом селектируются только контакты компонента.

2. Активизировать команду меню Place>>Multiple Traces. В строке статуса выводится подсказка: Choose Master Primitive – выбрать главный примитив (опорный контакт, от которого начинается разводка).

3. Указать курсором на контакт компонента, вокруг которого строится веер печатных проводников. Контакт окружается кольцом “прицела”.

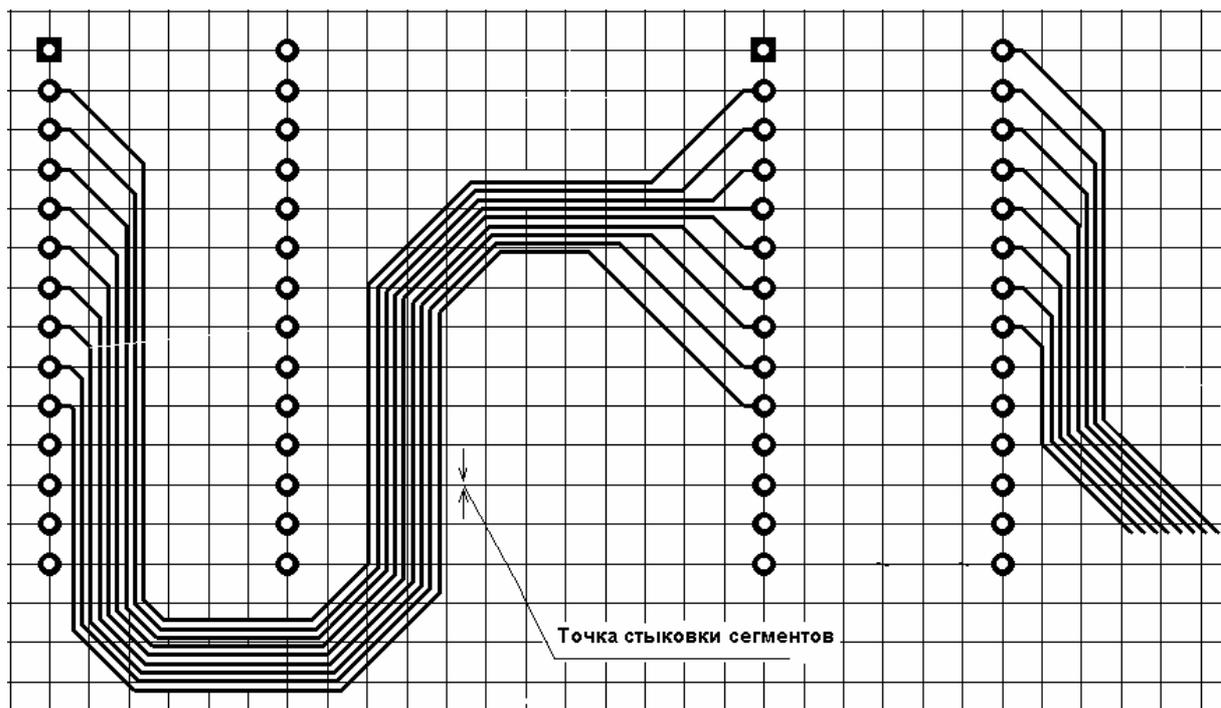


Рис. 7.9

4. Нажать левую клавишу мыши и, не отпуская, начать прокладку групповой трассы. Печатные проводники групповой трассы собираются веером под наклоном 45° . Форма веера меняется в зависимости от направления перемещения курсора – параллельно линии размещения контактов или перпендикулярно этой линии (рис. 7.9).

5. Клавишей Tab активизировать “горячее” редактирование шага между проводниками трассы. В диалоговом окне Bus Routing (рис. 7.10) предлагается установить значение шага.

На кнопке From Rule в качестве подсказки размещается минимальное значение расстояния между центрами печатных проводников (сумма ширины проводника и зазора), вытекающее из назначенных правил. Установить необходимое значение шага и щелчком ОК вернуться к прокладке трассы.

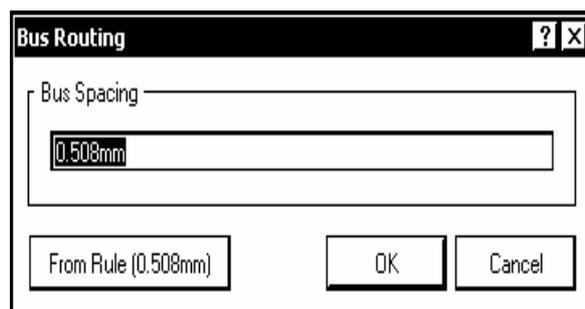


Рис. 7.10

6. Переместить курсор в нужном направлении и щелчком левой клавиши мыши завершить первую фазу трассировки – формирование веера.

7. При отпущенной левой клавише продолжить прокладку трассы, фиксируя изломы щелчками. Групповая трасса имеет некоторые особенности:

- печатные проводники групповой трассы ложатся параллельно с соблюдением установленного зазора;
- изломы трассы выполняются только под углом 45°;
- переход трассы со слоя на слой не допускается;
- трассировка происходит в режиме Ignore Obstacles – игнорирования препятствий; по окончании разводки программа отмечает цветной маркировкой случившиеся нарушения;
- программа может собирать веер не только от контактов, стоящих в ряд, но и от разбросанных произвольно по плате, хотя поскольку при разводке игнорируются препятствия, на практике такой веер может испортить всю остальную трассировку.

8. В финишной точке зафиксировать трассу последним щелчком левой клавишей мыши.

Собрав проводники веером в стартовой точке, программа не в состоянии развести их веером в точке конечного назначения. Выход – поочередно провести трассу с двух концов и состыковать встречные сегменты одноименных цепей торец в торец (см. рис. 7.9).

7.5. Редактирование готовой разводки

Кроме само собой разумеющейся перепрокладки существующих трасс по новым путям Altium Designer предлагает ряд интерактивных приемов, опирающихся на искусственный интеллект программы.

1. Устранение петель. В настройке функций интерактивной трассировки (цепочка команд Tools>>Preferences>>PCB Editor>>Interactive Rooting) активизировать флажок опции Automatically Remove Loops – автоматически удалять петли (см. рис. 7.4). При трассировке сложных проектов печатные проводники могут проходить по весьма сложной траектории. Если при более внимательном взгляде на готовую разводку оказывается, что можно развести некоторые цепи более коротким путем, новая трасса прокладывается вручную по этому короткому пути, а старая трасса автоматически удаляется.

2. Защита существующих трасс. В некоторых случаях трасса, проложенная каким-то специфическим образом, должна быть защищена от действия функции устранения петель. В этом случае в диалоговом окне настройки следует снять активность опции удаления петель Remove Loops.

3. Групповое перемещение сегментов многолинейных трасс.

1) В диалоге настройки Tools>>Preferences>>PCB Editor>>Interactive Rooting (см. п. 1) активизировать флажок опции Preserve Angle When Dragging – сохранять угол при перемещении;

2) Выделить сегменты групповой трассы, указывая на них курсором при нажатой клавише регистра Shift или окружив рамкой селекции. Сегменты помечаются признаком селекции – “прищепками” ярко-белого цвета на концах и посередине, соединенными белым прямолинейным отрезком;

3) Навести курсор на один из сегментов в стороне от меток-прищепок так, чтобы курсор приобрел вид перекрещенных стрелок;

4) Нажать левую клавишу мыши и, не отпуская ее, переместить курсор в нужном направлении. Вся группа выделенных сегментов перемещается вслед за курсором, сохраняя исходный угол наклона. При перемещении может возникнуть конфликт с существующими трассами. Комбинацией горячих клавиш Shift+R, как и при трассировке, изменяется режим разрешения конфликтов. Конечный результат перемещения зависит от настроек функций разрешения конфликтов:

- при активной настройке Ignore Obstacles (игнорировать препятствия) перемещенные сегменты могут быть зафиксированы в любом положении; программа помечает нарушения цветовой подсветкой,
- при активной настройке Avoid Obstacles (уклоняться от препятствий) программа “не пускает” сегменты в новое положение, если они наталкиваются на препятствие.

4. Продолжение сегментов групповой трассы.

1) Селектировать оконечные сегменты групповой трассы, удерживая клавишу Shift или рамкой селекции.

2) Указать курсором на конец одного из сегментов так, чтобы курсор приобрел вид двойной стрелки.

3) Нажать левую клавишу мыши и, не отпуская ее, переместить концы сегментов в новое положение. Отпустить клавишу мыши. Концы сегментов зафиксируются. На сегментах вновь обозначается признак выделенности.

4) Снова указать курсором на конец сегментов и переместить их дальше в том же направлении или в сторону. Вслед за перемещением курсора строятся новые сегменты групповой трассы. Изломы трассы формируются под углом 45°.

Кроме рассмотренных, целый ряд функций редактирования трассировки активизируется подкомандами команды главного меню Edit:

- Change – изменить ширину сегмента трассы. После указания на сегмент активизировать клавишей Tab “горячее” редактирование и ввести с клавиатуры новое значение ширины (рис. 7.11, а).

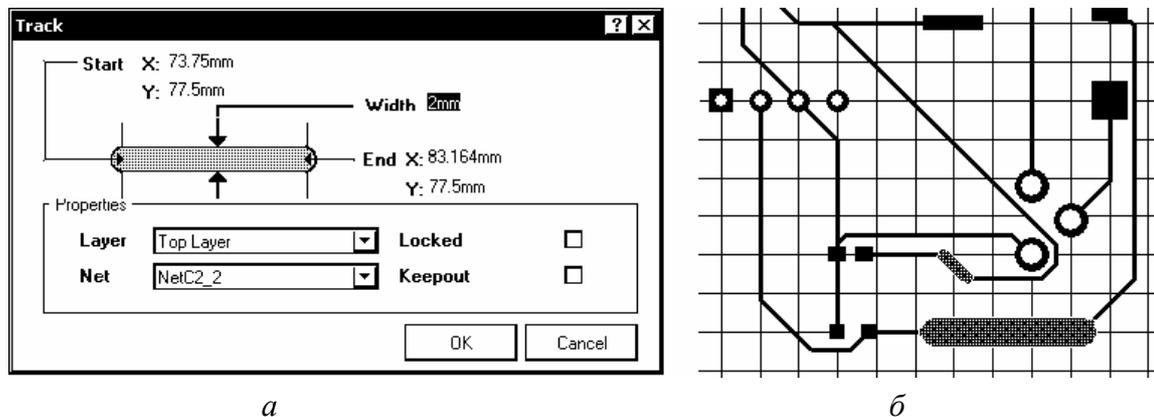


Рис. 7.11

В случае если назначенное значение ширины выходит за границы, указанные в правилах проектирования, программа отмечает ошибку цветовой маркировкой (рис. 7.11, б).

- Slice Tracks – прорезать проводники, создав разрыв заданной ширины и под заданным углом наклона. После указания исходной точки разреза клавишей Tab активизировать редактирование параметров разреза: фиксированной ширины, размером в 1 шаг сетки или произвольной ширины, а также направления разреза от исходной точки (рис. 7.12, а).

Наклон линии разреза переключается “горячей” клавишей “Пробел”. Возможны два варианта – наклон под произвольным углом и наклон под углом, кратным 45° (рис. 7.12, б).

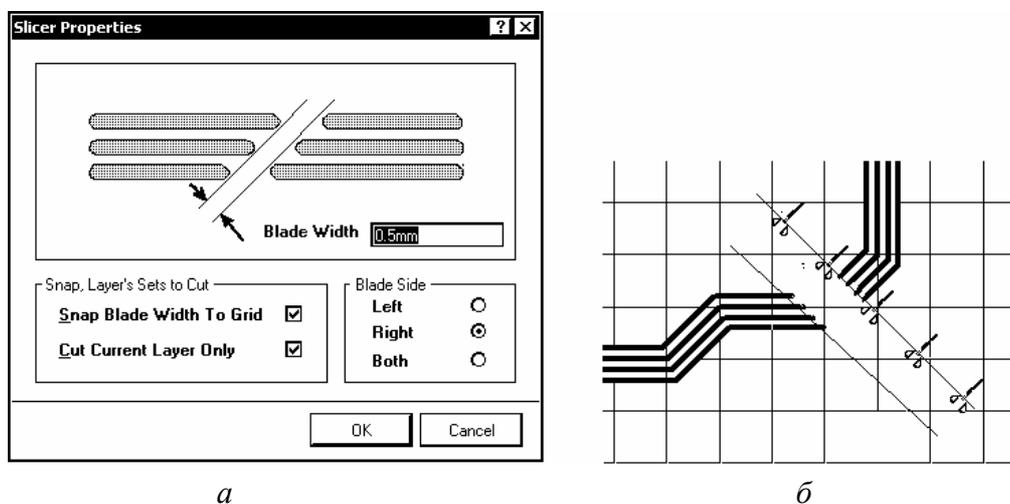


Рис. 7.12

- Move (перемещать): нас в данном случае интересует группа подкоманд, относящихся к редактированию трасс печатного монтажа:
 - Re-Route – перетрассировать;
 - Break Track – разорвать трассу;
 - Drag Track End – перетащить конец трассы;
 - Move/Resize Tracks – двигать/изменять размеры трассы.

7.6. “Тонкая” интерактивная трассировка

Вторым инструментом выполнения ручной трассировки является так называемая тонкая (Smart) интерактивная трассировка. От стандартной ее отличает наличие функции поиска пути для печатного проводника на участках от стартового до ближайшего следующего контакта компонента и один дополнительный способ разрешения конфликтов – обход препятствий (Walkaround Obstacles).

1. Активизировать команду главного меню Place>>Smart Interactive Routing и выполнить действия аналогично пп. 1...4 в 7.1.

2. Сегменты трассы от начальной точки до текущего положения курсора выполняются со сплошной заливкой. От текущего положения курсора до контакта ближайшего по ходу электрической связи компонента тянется цепочка штриховых сегментов (рис. 7.13).

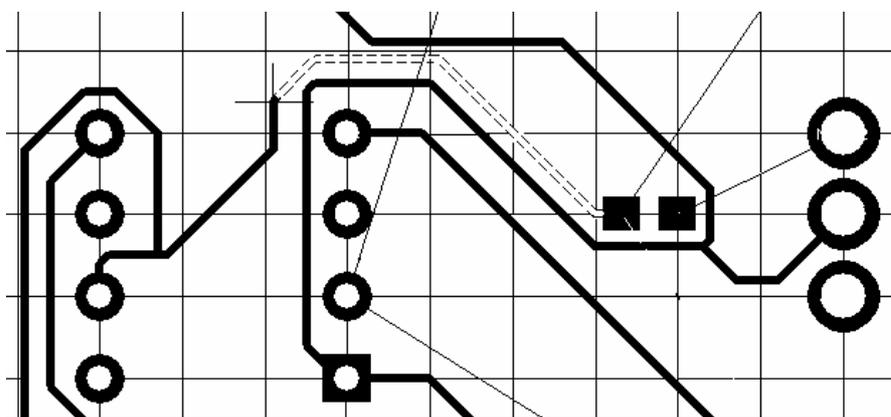


Рис. 7.13

В отличие от стандартной интерактивной трассировки, программа не строит закругленные сегменты – доступны только изломы в начале или в конце сегмента под углом 45° или 90°.

Управление характером изломов выполняется нажатием горячих клавиш “Пробел” (Space) или Shift+“Пробел” (табл. 7.2). При этом клавишами Shift+“Пробел” циклически перебираются все варианты, а клавишей “Пробел” воз-

возможен выбор варианта выполнения начала или конца сегмента только под углом 45 или 90° в зависимости от того, какой выбор сделан до этого клавишами Shift+“Пробел”.

Таблица 7.2

Номер вар.	Горячие клавиши		Формирование сегментов	Рисунок
	Shift+Space	Space		
1	Line 45 Start	Line 45 Start	Начало – под углом 45°, следующий сегмент – горизонтально или вертикально	7.3, а
2	Line 45 End	Line 45 End	Начало – вертикально, следующий сегмент – под углом 45°	7.3, б
3	Line 90 Start	Line 90 Start	Начало – вертикально, следующие сегменты – под углом 90°	7.3, в
4	Line 90 End	Line 90 End	Начало – горизонтально, второй сегмент – вертикально и т. д.	7.3, г

3. Способ разрешения конфликтов, как и в стандартной интерактивной трассировке, выбирается комбинацией горячих клавиш Shift+R. В отличие от стандартной, в Smart-трассировке доступен способ разрешения конфликтов обходом вокруг препятствий (см. рис. 7.13). При этом соблюдаются правила проектирования: обходной участок трассы прокладывается только если ширина прохода достаточна для размещения проводника с соблюдением установленных зазоров.

4. Завершение прокладки участка трассы выполняется по-разному, в зависимости от настройки функции Auto Complete (автоматического завершения) в конфигурации редактора печатной платы (см. рис. 7.4):

- при отключенной функции Auto Complete программа показывает сегменты трассы только до текущего положения курсора. Сегменты фиксируются последовательно щелчками левой клавиши мыши;
- при активной функции Auto Complete прокладка участка трассы может также выполняться последовательной фиксацией сегментов щелчками левой клавиши мыши, а может быть завершена целиком – единственным щелчком левой при нажатой клавише Ctrl.

Включение-отключение активности функции Auto Complete может выполняться в текущий момент трассировки “горячей” клавишей “5”.

Полный список “горячих” клавиш, используемых при управлении Smart-трассировкой, вызывается в любой текущий момент прокладки трассы

клавишей “~” (тильда). Этот список показан на рис. 7.14. Приведем русский его перевод с некоторыми разъяснениями:

- F1 – получение справочной информации;
- Ctrl+Click – завершение трассировки участка по щелчку левой клавишей мыши с нажатой клавишей Ctrl (если установлена активность функции автозавершения);

Help	F1
Commit autocomplete segments (if applicable)	Ctrl+Click
Remove Last Segment or Shift+Backspace to remove last placed cluster	BkSp
Terminate Current Trace	Esc
Toggle Routing Mode	Shift+R
Choose Favorite Width	Shift+W
Place Segment	Enter
Next Layer	Num +
Previous Layer	Num -
Next Signal Layer	Num *
Cycle Placement Mode	Space
Edit Trace Properties	Tab
Cycle Track-Width Source	3
Cycle Via-Size Source	4
Toggle Auto Complete	5
Change Via mode	6
Switch Leader trace or switch routing target in single trace mode	7

Рис. 7.14

- BkSp – удалить нажатием клавиши Backspace (шаг назад) последний сегмент трассы или группу сегментов при нажатии Shift+Backspace;
- Esc – прервать нажатием клавиши Esc разводку текущего участка трассы с потерей сегментов, равноценно щелчку правой клавишей мыши: если трассировка участка закончена на контакте компонента, то программа выходит из режима трассировки;
- Shift+R – переключение режима разрешения конфликтов;
- Shift+W – активизация функции управления шириной текущего сегмента трассы;
- Enter (Ввод) – зафиксировать текущий сегмент трассы – то же, что и щелчок левой клавишей мыши;
- Num + (плюс на цифровой клавиатуре) – выбор следующего слоя;
- Num - (минус на цифровой клавиатуре) – выбор предыдущего слоя;

- Num * (звездочка на цифровой клавиатуре) – переход трассы на следующий сигнальный слой;
- Space (пробел) – выбор направления прокладки в начале или конце текущего сегмента;
- Tab – активизация “горячего” редактирования свойств текущего сегмента (см. рис. 7.8);
- 3 – циклический перебор значений ширины текущего сегмента;
- 4 – циклический перебор значений диаметра площадки металлизации у переходного отверстия – минимального, номинального или максимального;
- 5 – включение-отключение функции автозавершения трассировки участка цепи;
- 6 – переключение типов переходных отверстий;
- 7 – если трасса от исходного контакта расходится в нескольких направлениях – прекращение трассировки в данном направлении и переход к трассировке в другую сторону.

Печатные проводники, выполненные Smart-трассировкой, могут редактироваться, как это описано в 7.4.

7.7. Трассировка дифференциальных пар

Необходимость в передаче дифференциального сигнала по линиям связи возникает в случаях, когда нет возможности осуществить соединение короткими проводами, а цепи питания и “земли” имеют достаточно высокое электрическое сопротивление. Это происходит главным образом в межблочном монтаже. Тогда выход заключается в формировании пар противофазных сигналов и использовании соответствующей схемотехники электронных компонентов. Такая схемотехника известна – это широко распространенные дифференциальные или операционные усилители в аналоговых функциональных узлах и схемы эмиттерно-связанной логики (ЭСЛ) в цифровых устройствах. Каждый сигнал дифференциальной пары может передаваться по отдельному экранированному проводу или радиочастотному коаксиальному кабелю либо сигналы дифференциальной пары передаются по кабелю из двух скрученных проводов – так называемой “витой паре”.

Оба способа передачи дифференциальной пары сигналов отличаются высокой помехоустойчивостью. Физика явлений известна:

- поскольку по проводам дифференциальной линии передачи текут равные по величине и противоположные по направлению токи, такая линия не создает помех в окружающем пространстве;

- внешние помехи создают в проводах дифференциальной линии передачи синфазную помеху, которая существенно подавляется дифференциальными входными каскадами аналоговых и цифровых схем;

- выравнивание времен распространения сигнала по проводам линий связи обоих типов в значительной мере достигается само собой – за счет равенства длины проводников в витой паре или за счет равенства длины двух отрезков коаксиального кабеля, образующих дифференциальную линию.

Кроме того, на приемном конце такой линии связи возникает эффект “виртуального” заземления, в результате чего согласование импеданса линии с входным сопротивлением каскада на приемном конце может выполняться без заземления – одним согласующим элементом, импеданс которого должен равняться удвоенному значению волнового сопротивления в случае коаксиального кабеля с заземленной оболочкой либо волновому сопротивлению витой пары.

Второй вариант, не являющийся по сути передачей дифференциального сигнала, – это передача однофазного сигнала по коаксиальному кабелю или витой паре. Здесь также происходит взаимная компенсация магнитных полей прямого и обратного токов, в результате чего не излучаются помехи в окружающее пространство. Что касается чувствительности к внешней наводке, то степень подавления емкостной помехи определяется экранирующим действием оболочки коаксиального кабеля или заземленного провода витой пары. Индукционная наводка создает нескомпенсированную помеху в активном проводе витой пары, в особенности если линия связи образует петли.

Приходящая на печатную плату из внешней разводки симметричная, или асимметричная линия связи может быть доведена от контактов соединителя или от паянных контактов на краю платы до входных контактов электронного компонента только парой параллельно расположенных печатных проводников. В терминологии конструкций печатных плат такая пара печатных проводников также называется дифференциальной парой.

Дифференциальная пара на печатной плате не обеспечивает столь же высокую помехоустойчивость, как кабельные линии связи, вследствие того, что значение коэффициента связи параллельных печатных проводников не

превышает 0,5, в то время как у коаксиального кабеля и в витой паре это значение составляет 0,98 и выше.

Таким образом, наиболее ощутимым эффектом, который обеспечивает применение дифференциальных пар на печатной плате, является выравнивание времени распространения сигнала до входных контактов электронного компонента. Этому, как и согласованию волнового сопротивления линии передачи с нагрузкой, могут препятствовать особенности трассировки и размещения компонентов, необходимость перехода со слоя на слой, наличие полигонов металлизации в сигнальных слоях или на внутренних экранных слоях типа Plane. Подробное рассмотрение радиотехнической стороны данного вопроса должно быть проведено в самостоятельном учебном пособии по конструированию печатных плат. Здесь можно остановиться на некоторых рекомендациях по выполнению дифференциальных (передающих симметричный дифференциальный сигнал) линий связи на печатных платах*:

- волновое сопротивление каждого проводника пары должно равняться половине волнового сопротивления внешнего кабеля (витой пары);
- для каждого проводника пары сопротивление нагрузки на приемном конце должно быть согласовано с волновым сопротивлением проводника;
- переходы линии со слоя на слой допустимы, если удастся обеспечить постоянство волнового сопротивления по всей длине линии;
- оба проводника пары должны иметь одинаковую длину, с точностью, обеспечивающей разность задержек в пределах допуска, установленного для применяемого семейства логических интегральных микросхем.

Покажем на примере, какое значение может принимать разность длины проводников дифференциальной пары в высокоскоростных функциональных узлах, работающих с тактовой частотой порядка 1 ГГц.

Известно, что скорость распространения сигнала вдоль микрополосковой линии связи в $\sqrt{\epsilon}$ раз меньше скорости в свободном пространстве. При типичном для печатных плат значении диэлектрической проницаемости стеклотекстолита $\epsilon = 4,8$ время задержки распространения сигнала составляет около 7,3 нс/м.

* Lee W. Ritchey, Differential Signalling Doesn't Require Differential Impedance. <http://www.speedingedge.com/PDF-Files/diffsig.pdf>.

Если принять, что разность времени прихода сигнала на входы логики не должна превышать 0,1 тактового интервала, т. е. 0,1 нс, разность длины проводников дифференциальной пары не должна превышать 13 мм.

Так или иначе, нам следует рассмотреть заложенные в Altium Designer функции трассировки дифференциальных пар*.

7.7.1. Объявление дифференциальной пары

Объявить две сигнальные цепи дифференциальной парой можно как в редакторе схемы, так и в редакторе печатной платы.

В редакторе электрической схемы:

1. Активизировать команду главного меню Place>>Net Label и присвоить двум цепям, образующим дифференциальную пару, одно имя с суффиксами `_P` для одной цепи и `_N` для другой.
2. Активизировать команду Place>>Directives>>Differential Pair и поместить метку дифференциальной пары на каждую из цепей пары (рис. 7.15).

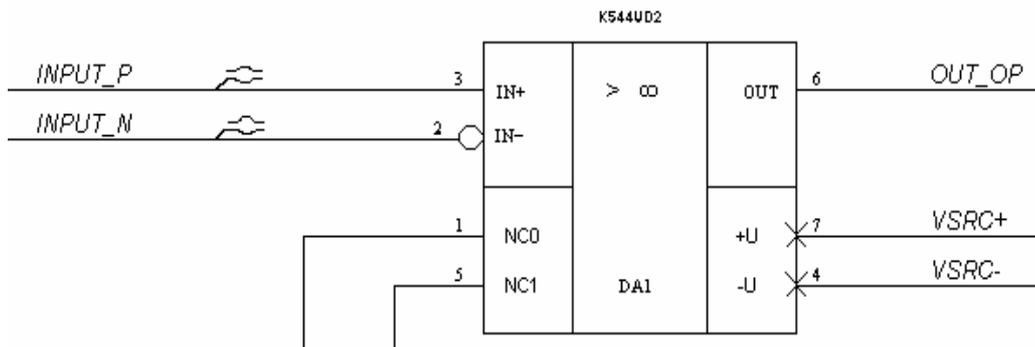


Рис. 7.15

Цепи, на которую наложена директива Differential Pair, присваивается параметр с таким же именем Name: Differential Pair и булевским значением Value: True.

Выполненные таким образом назначения передаются в проект печатной платы при компиляции и синхронизации проекта.

В редакторе печатной платы пары цепей, не объявленные как дифференциальные в редакторе схемы, могут быть объявлены и оттрассированы как дифференциальные. Здесь возможны два варианта действий:

1. Активизировать плавающую панель PCB и переключить ее в режим редактирования дифференциальных пар Differential Pairs Editor (рис. 7.16). В среднем поле панели выводится список всех определенных в проекте дифференциальных пар, в том числе ранее назначенных в редакторе схемы.

* Документ HELP-системы Altium Designer 6: Interactive and Differential Pairs Routing. Application Note AP0135 (v. 1.2) June 19, 2006.

Далее:

1) щелчком на кнопке Add активизировать объявление новой дифференциальной пары. Откроется окно формирования дифференциальной пары Differential Pair (рис. 7.17);

2) в полях Positive Net и Negative Net поочередно развернуть списки цепей, не объединенных пока в дифференциальные пары, и выбрать в каждом списке необходимую цепь;

3) в поле Name (имя) зоны Properties ввести имя новой дифференциальной пары;

4) щелчком на ОК завершить формирование пары.

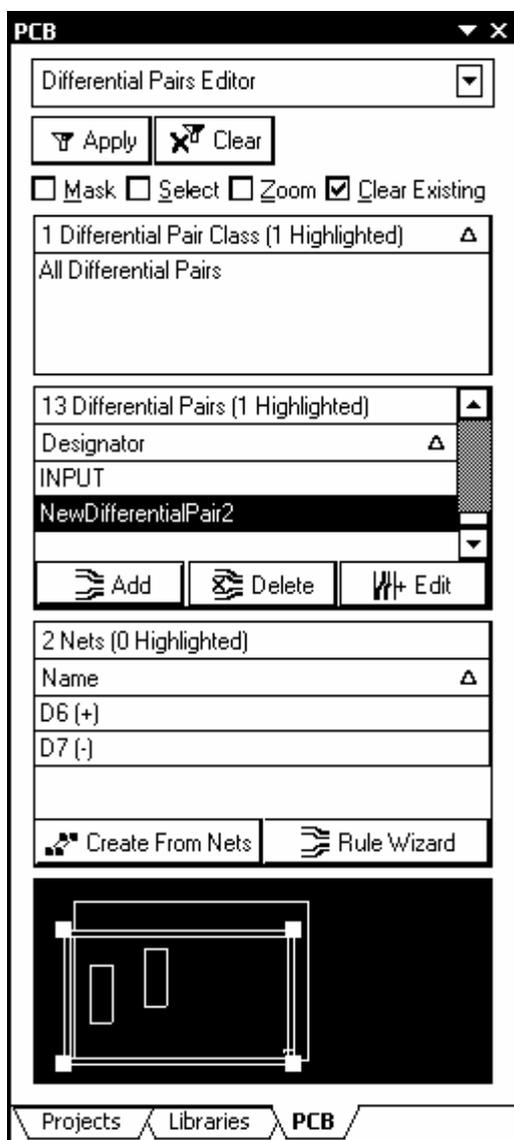


Рис. 7.16

Результат отобразится в полях панели РСВ (рис. 7.16). При выделении курсором имени новой пары в колонке Designator центрального поля панели в нижележащее поле выводятся имена двух цепей, объединенных в дифференциальную пару. К ним добавлены индексы (+) и (-).

2. Второй вариант требует, чтобы цепи, которые предполагается объединить в дифференциальную пару, имели общее имя и различались суффиксами _Н и _L. В этом случае возможно сформировать дифференциальные пары из цепей с такими именами.

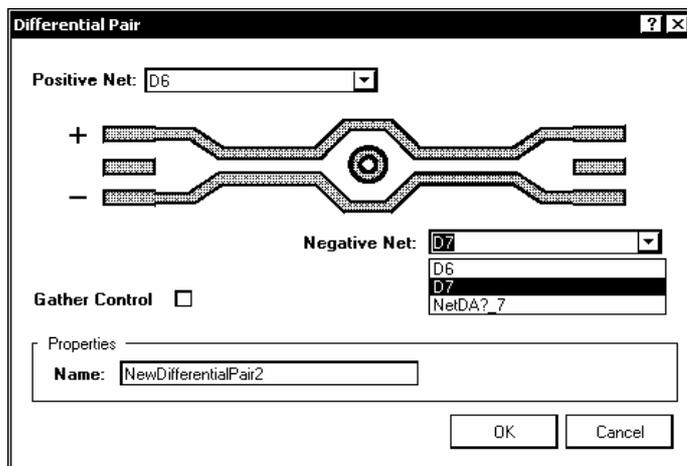


Рис. 7.17

Для этого следует активизировать диалог формирования щелчком в панели PCB на кнопке Create From Nets. Откроется диалоговое окно Create Differential Pairs from Nets (рис. 7.18).

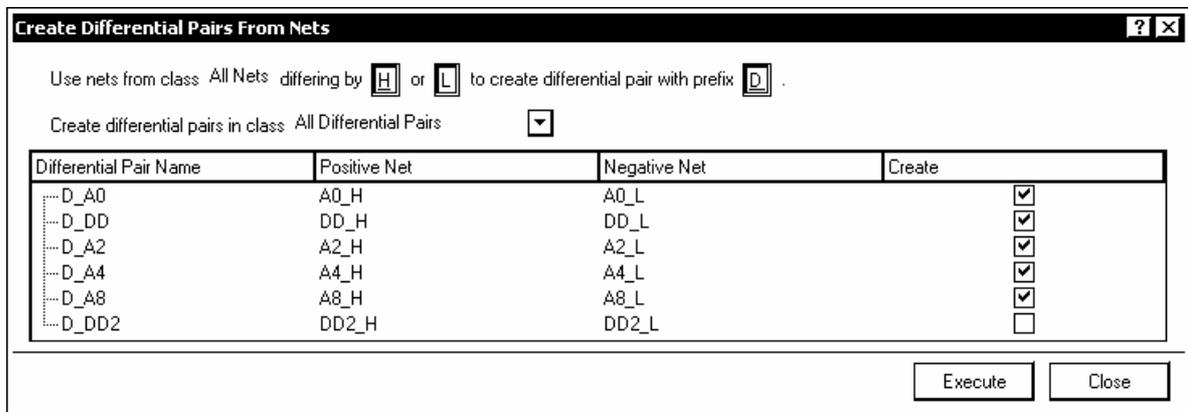


Рис. 7.18

В верхней части окна выводится предложение: Use nets from class All Nets differing by H or L to create differential pair with prefix D. Приведем перевод этого сообщения с некоторыми комментариями: “Используйте цепи из класса *Все цепи* (это класс, существующий по умолчанию; в проекте могут быть назначены и другие классы цепей), различающиеся (суффиксами) H или L для образования дифференциальной пары с префиксом (к имени) D”.

Ниже располагается еще одно сообщение: Create differential pairs in class All Differential Pairs – “Образуйте дифференциальные пары в классе *Все дифференциальные пары*”. Справа располагается кнопка вызова списка классов дифференциальных пар, если такие классы назначены.

В центральном поле окна выведен список всех существующих пар цепей с именами, имеющими суффиксы H и L, и список дифференциальных пар, которые могут быть составлены из этих цепей.

Для формирования дифференциальных пар поставить “галочки” в колонке Create (создать) против имен соответствующих пар и завершить диалог щелчком на кнопке Execute (Выполнить).

7.7.2. Правила трассировки дифференциальных пар

Правила трассировки дифференциальных пар настраиваются так же, как и для всех остальных элементов проводящего рисунка печатной платы. Ключевыми для дифференциальных пар являются три правила:

1. Routing Width – ширина печатных проводников дифференциальной пары. Настройка правила для ширины печатных проводников рассматривалась в 6.3 (см. рис. 6.4)

2. Differential Pairs Routing – трассировка дифференциальной пары. Это правило касается главным образом зазора между проводниками дифференциальной пары и настраивается в диалоге, активизируемом по команде главного меню Design>>Rules. В диалоговом окне PCB Rules and Constraints Editor (рис. 7.19) выбрать ветвь Design Rules>>Routing>>DiffPairsRouting и назначить в поле Constraints следующие параметры:

- Min Gap – минимальный зазор;
- Max Gap – максимальный зазор;
- Preferred Gap – предпочтительное значение зазора;
- Max Uncoupled Length – максимально допустимая длина участка обхода препятствий, на котором уменьшается индуктивная связь проводников пары.

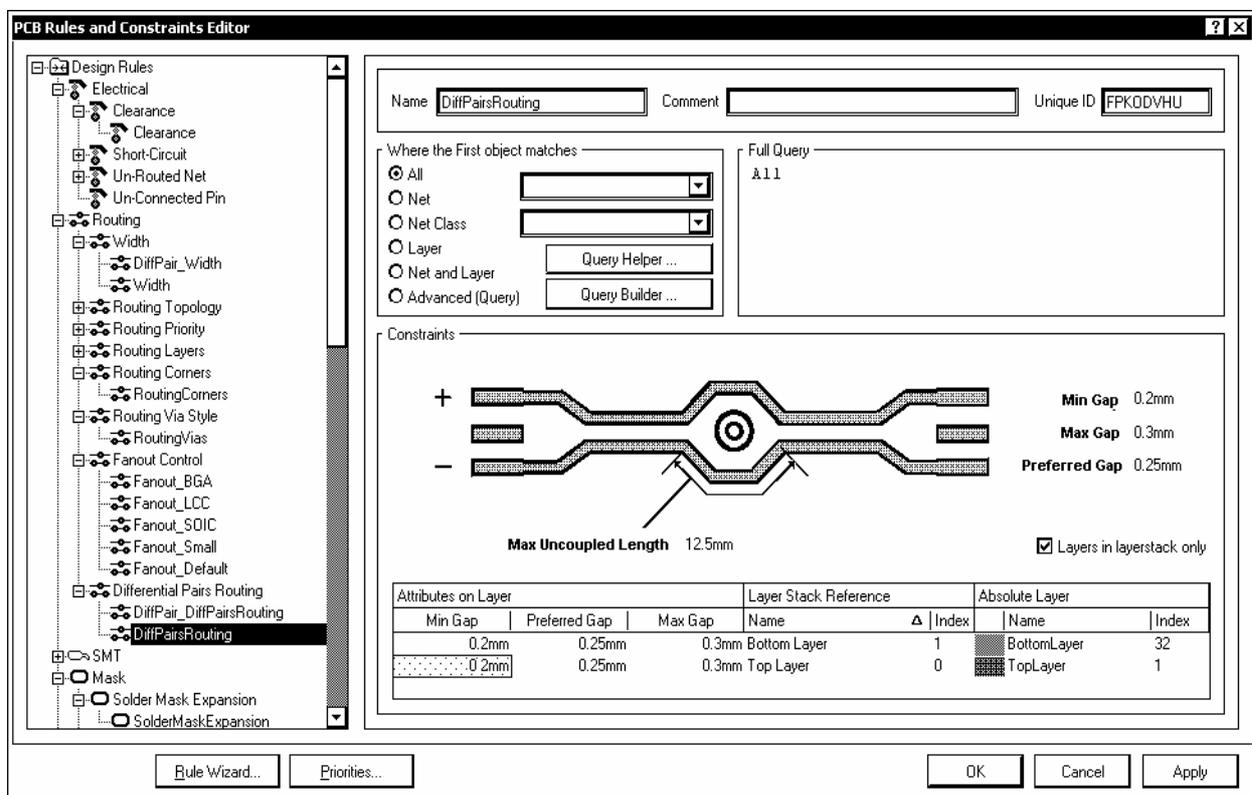


Рис. 7.19

3. Matched Net – выравнивание длины проводников в паре добавлением в короткий проводник лесенки или змейки. Данная настройка доступна в ветви High Speed/Matched Net Lengths дерева правил проектирования. Она также вызывается из плавающей панели PCB щелчком на кнопке Rule Wizard (см. рис. 7.16). Вызывается “Мастер подсказки”, на одном из шагов которого открывается диалог настройки DiffPair_MatchedLengths – выравнивания длины проводников в дифференциальной паре (рис. 7.20).

- В поле Rule Properties – параметры правила – назначаются:
 - Tolerance – допуск, при превышении которого строится удлиняющая конфигурация;
 - Gap – зазор между коленами;
 - Amplitude – высота колен;
 - Style – стиль построения удлиняющей конфигурации: прямоугольными коленами, наклон колен под углом 45° или закругленными сегментами.

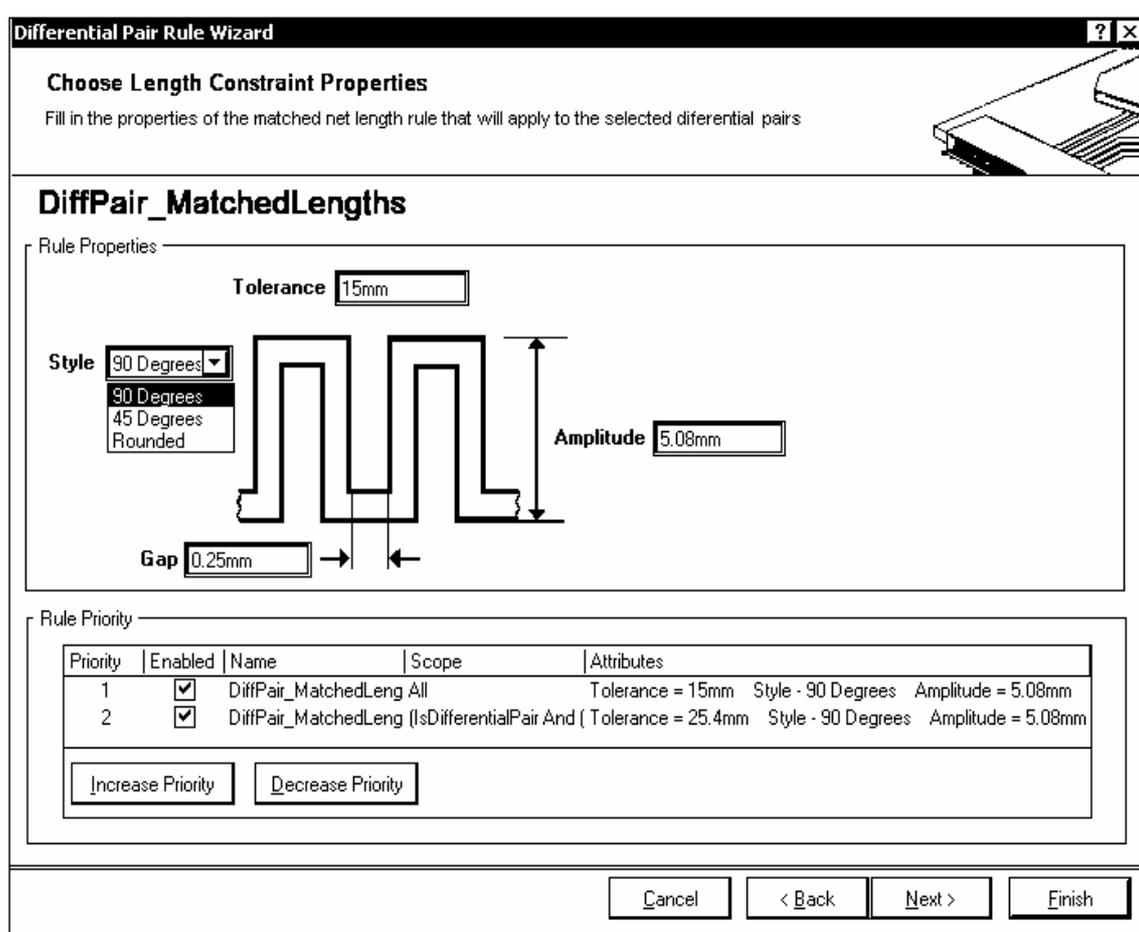


Рис. 7.20

- В поле Rule Priority (приоритет правила) выводится список всех назначенных правил с параметрами их настройки и указанием объектов, на которые налагаются эти правила, и приоритетов их выполнения. Кнопками Increase Priority и Decrease Priority приоритет выбранного в списке правила может увеличиваться или уменьшаться.

Указание объектов, на которые налагается то или иное правило, производится путем рассмотренной ранее процедуры формирования запросов (см. 6.3).

7.7.3. Трассировка дифференциальной пары

Трассировка дифференциальной пары ведется точно так же, как и рассмотренная выше Smart-интерактивная трассировка. Отличие лишь в том, что проводятся сразу оба печатных проводника дифференциальной пары.

1. Выделить маскированием или цветом линии связи дифференциальной пары, подлежащей трассировке (см. пп. 1–3, с. 112–113).

2. Активизировать команду главного меню Place>>Differential Pair Routing. В строке статуса программы выводится предложение выбрать первый объект дифференциальной пары: Choose first differential pair object to route.

3. Навести курсор на один из контактов компонента, с которого начинается трассировка дифференциальной пары, и щелчком левой клавиши мыши дать старт прокладке трассы. Программа сводит проводники дифференциальной пары до расстояния, определенного в правилах, и далее ведет оба проводника параллельно (рис. 7.21).

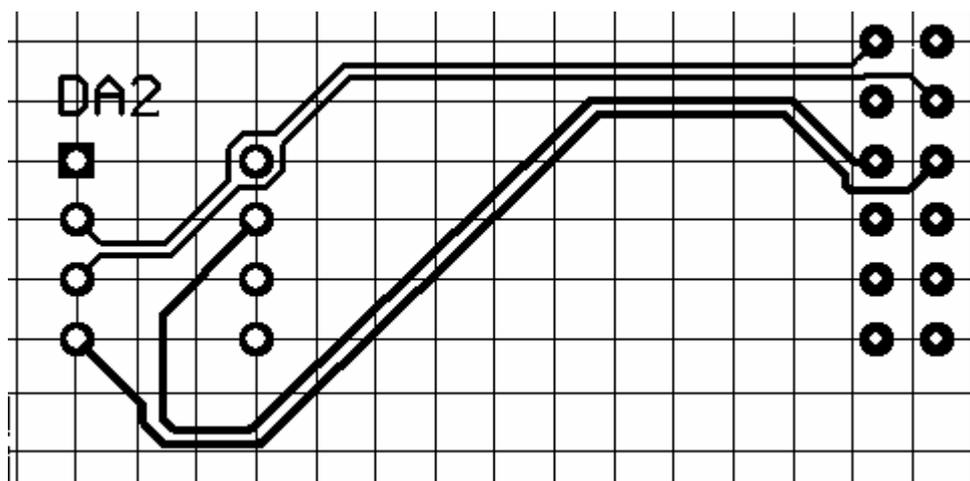


Рис. 7.21

4. Как и в Smart-трассировке, при трассировке дифференциальной пары работают “горячие” клавиши и их комбинации, в частности:

- клавишей “Пробел” или комбинацией клавиш Shift+“Пробел” может быть выбран способ построения изломов трассы под углом 45 или 90°;
- комбинацией клавиш Shift+R выбирается способ разрешения конфликтов – остановка трассы, игнорирование или обход препятствий;
- клавишей “*” на цифровой клавиатуре меняется слой трассировки.

4. Программа строит сегменты трассы от начала до текущего положения курсора сплошной линией, ширина которой указана в правилах, и продолжает предполагаемую оставшуюся часть трассы штриховой линией.

5. Щелчком левой клавиши мыши при нажатой клавише Ctrl прокладка оставшейся части трассы завершается. Программа остается в режиме трассировки дифференциальных пар.

6. Щелчком правой клавиши мыши или клавишей Esc завершить трассировку.

7.8. Автоматическая трассировка печатного монтажа

В состав пакета Altium Designer 6 входит встроенный высокоэффективный топологический автотрассировщик Situs. Название происходит от используемого в англоязычной среде термина Situs Analysis, эквивалентом которого в языке отечественной науки является топология – раздел математики, исследующий свойства геометрических объектов (СИТУС по-латыни и ТОПОС в греческом языке означают одно и то же – МЕСТО). В университетских курсах высшей математики топология называется еще “Геометрия-2”.

Работа автотрассировщика заключается в анализе топологии платы, подготовленной к разводке печати, – в определении очертаний размещенных на плате компонентов, отверстий, вырезов, других препятствий, поиске пути (канала) для прокладки каждого очередного печатного проводника и затем в применении целого ряда алгоритмов (проходов), в результате чего в найденном канале размещается печатный проводник, отвечающий назначенным при настройке графического редактора печатной платы правилам. Топологические алгоритмы автотрассировки считаются более эффективными, чем сеточные и даже так называемые бессеточные, нейронные алгоритмы. Здесь мы не имеем возможности обсуждать эти преимущества. Рассмотрим основные приемы настройки и практического использования автотрассировщика Situs*.

7.8.1. Стратегии и проходы автотрассировки

Набор приемов (проходов) автотрассировки в Altium Designer 6, как и в целом ряде других САПР, называется стратегией трассировки. Основой стратегии, применяемой к текущему проекту, являются правила проектирования, назначаемые на этапе составления электрической принципиальной схемы (см. 5.2.6) и (или) на этапе проектирования печатной платы (см. 6.3–6.5). Командой главного меню Auto Route>>Setup или Auto Route>>All активизировать диалог

* Документ HELP-системы Altium Designer 6: Situs Autorouting Essentials AR0128 (v1.1) July 29, 2005.

настройки стратегии трассировки. Автотрассировщик Situs анализирует назначенные правила и выстраивает их в стратегию. В поле Routing Strategies диалогового окна Situs Routing Strategies (рис. 7.22) приводится список доступных в текущий момент стратегий и их краткая характеристика.

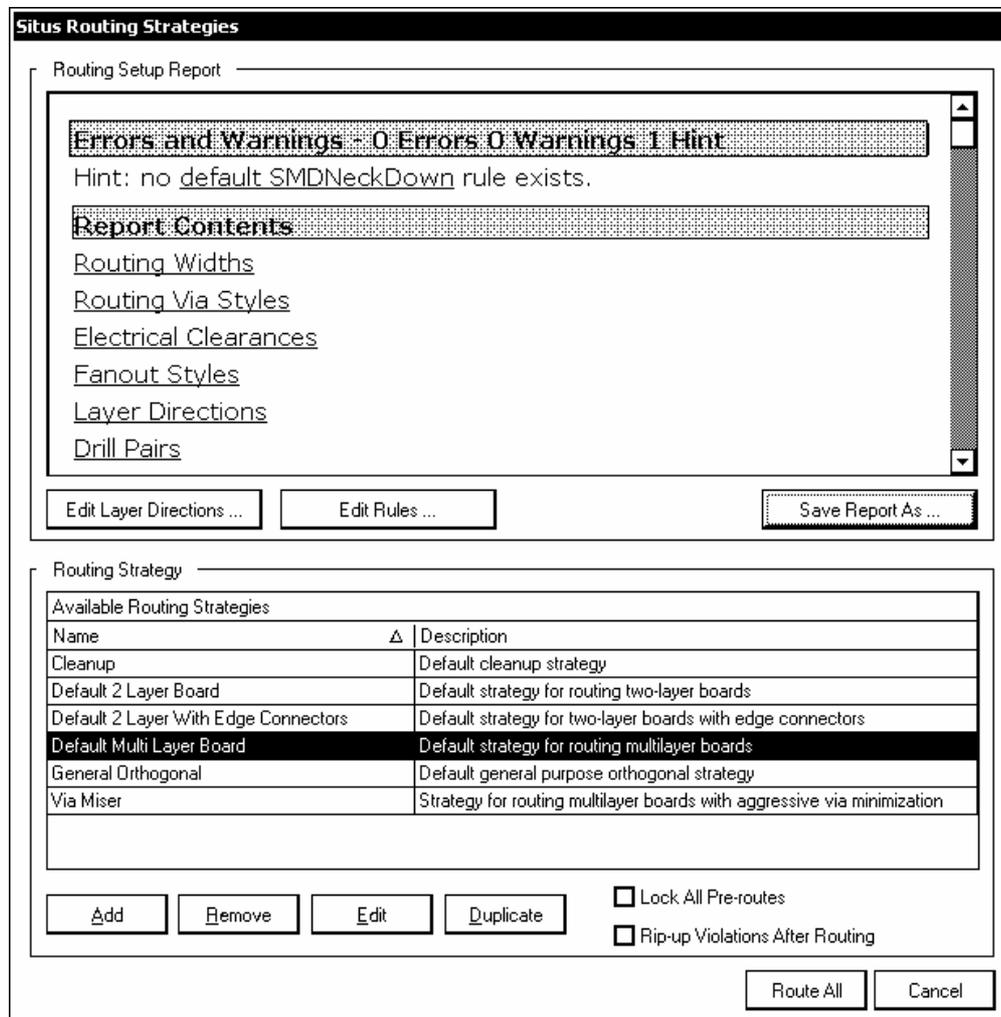


Рис. 7.22

Всего по умолчанию предусмотрено 6 стратегий:

- Cleanup – подчистка выполненной разводки;
- Default 2 Layer Board – трассировка двухсторонней печатной платы;
- Default 2 Layer with Edge Connectors – трассировка двухсторонней платы с печатными контактами краевого соединителя;
- Default Multi Layer Board – стратегия трассировки многослойной печатной платы;
- General Orthogonal – стратегия с взаимно-перпендикулярным направлением прокладки проводников;
- Via Miser – стратегия с жесткой минимизацией числа переходных отверстий.

Каждая из predetermined стратегий включает свой определенный набор проходов трассировки. Редактирование этих “чистых” стратегий не допускается, однако если при выполнении проекта необходимо изменить набор приемов (проходов) трассировки, можно образовать новую пользовательскую стратегию.

Если за основу новой может быть принята одна из “чистых” стратегий, создание своей стратегии может быть начато щелчком на кнопке Duplicate – дублировать. Открывается диалоговое окно редактирования стратегии Situs Strategy Editor (рис. 7.23).

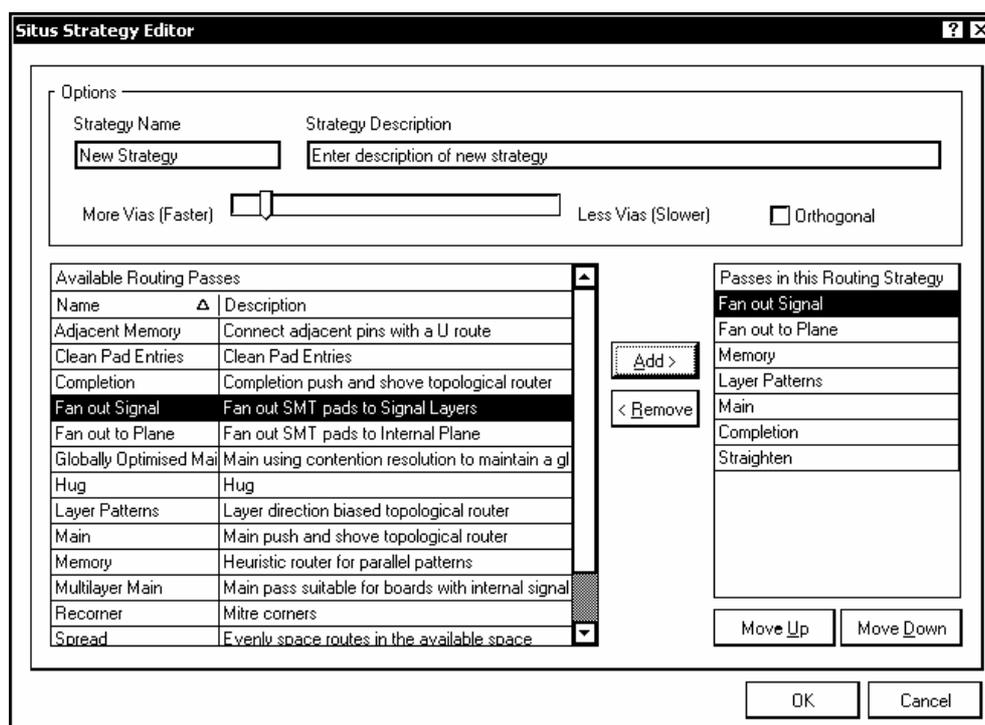


Рис.7.23

В поле Options этого окна:

- ввести имя новой стратегии (Strategy Name) и ее краткое описание (Strategy Description);
- установить движок в линейке More Vias (Faster) ... Less Vias (Slower) в соответствии с намерением допустить большее или меньшее число меж-слойных переходных отверстий, что в свою очередь отразится на ускорении или замедлении трассировки;
- в случае необходимости активизировать опцию Orthogonal – трассировки с изломами проводников под прямым углом.

В двух нижележащих полях приводится список возможных проходов автотрассировки (Available Routing Passes), и проходов, включенных в теку-

щую стратегию (Passes in this Routing Strategy). Кнопками Add> и <Remove указанные курсором проходы переносятся из одного поля в другое, в результате в правом поле составляется необходимый список проходов для редактируемой стратегии.

Приведем обзор доступных проходов трассировки.

- Main – “главный” тип прохода, использующий топологическую карту печатной платы для поиска пути прокладки трассы и функцию раздвижки и проталкивания (Push and Shove) для превращения предполагаемого пути в реальный печатный проводник;
- Multilayer Main – тот же “главный” тип проходов, только выполняемый при разводке многослойных ПП, с учетом цены (системы штрафов и поощрений), назначенной для многослойной трассировки;
- Globally Optimized Main – трассировка с оптимизацией, игнорирующая столкновения трасс и препятствий на первой итерации и затем итеративно выполняющая перетрассировку с увеличенной ценой ошибки до тех пор, пока не будут разрешены все конфликты;
- Completion – тот же тип Main, но с измененной ценой конфликта на завершающей стадии прокладки сложных соединений;
- Memory – регулярная трассировка связей между контактами компонентов с одинаковыми координатами по оси X или Y, по типу линий адреса (данных) в устройствах памяти;
- Adjacent Memory – прокладка U-образных трасс между контактами соседних компонентов;
- Clean Pad Entries – уход трассы от контакта вдоль длинной стороны контактной площадки;
- Fan out Signal – разводка веером на сигнальном слое под управлением функций Fanout Control в дереве правил проектирования (см. 6.3);
- Fan out to Plane – разводка веером с подключением связей к внутренним слоям металлизации типа Plane;
- Hug – трассировка со сжатием трасс до минимально допустимого значения зазоров, указанного в правилах проектирования;
- Layer Patterns – трассировка связей, для которых указаны направления разводки на слоях;

- Rescorner – сглаживание прямоугольных изломов печатных проводников – выполняется по умолчанию, в том числе и при активной опции ортогональной трассировки;
- Spread – трассировка с расширением зазоров и равномерным распределением проводников по площади платы;
- Straighten – трассировка со спрямлением проводников и минимизацией длины трассы.

Назначение и редактирование новой стратегии активизируется щелчком на кнопке Add (добавить). Вся процедура подготовки новой стратегии полностью идентична рассмотренной для дублированной стратегии.

7.8.2. Правила и отчеты автотрассировщика

В окне настроек автотрассировщика Situs Routing Strategies (см. рис. 7.22) размещено поле отчета о настройке правил Routing Setup Report, касающихся трассировки печати – ширина проводников, зазоры между элементами печатного рисунка, топология проводников, стиль разводки веером и др. Прокручивая этот список, можно получить в поле Routing Setup Report подробные сведения по каждому правилу (рис. 7.24).

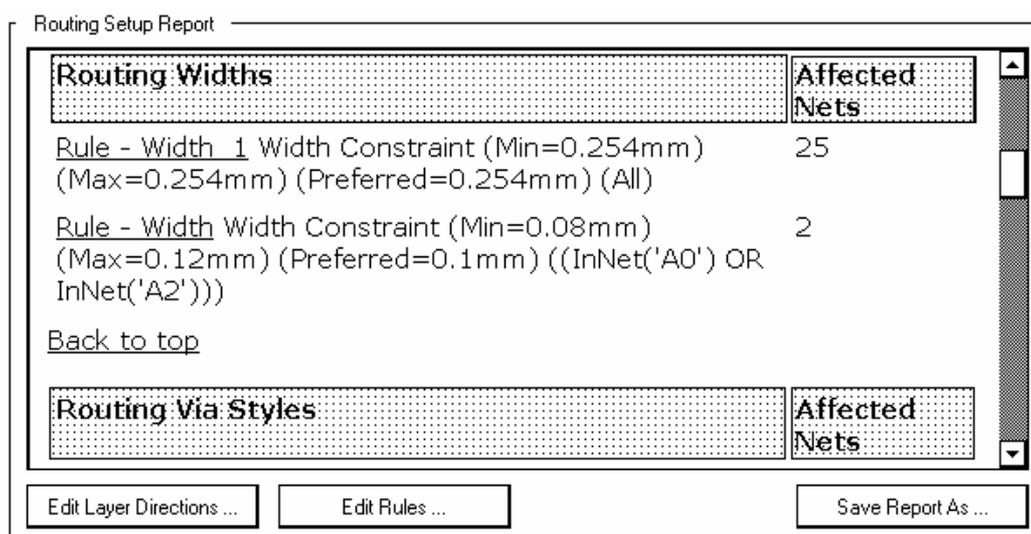


Рис. 7.24

При указании курсором на имя правила со щелчком левой клавиши мыши активизируется процедура редактирования выбранного правила (на рис. 7.24 – ширина печатных проводников). Открывается диалоговое окно, аналогичное правому полю окон на рис. 6.4 или 7.19. По контексту в этом окне представлены функции настройки выбранного правила, включая генератор запросов на установку приоритетов.

Редактирование правил может также быть активизировано щелчком на кнопке Edit Rules.

7.8.3. Автотрассировка

Заложенные в Altium Designer 6 функции автотрассировки активизируются из главного меню программы командой Auto Route и ее подкомандами.

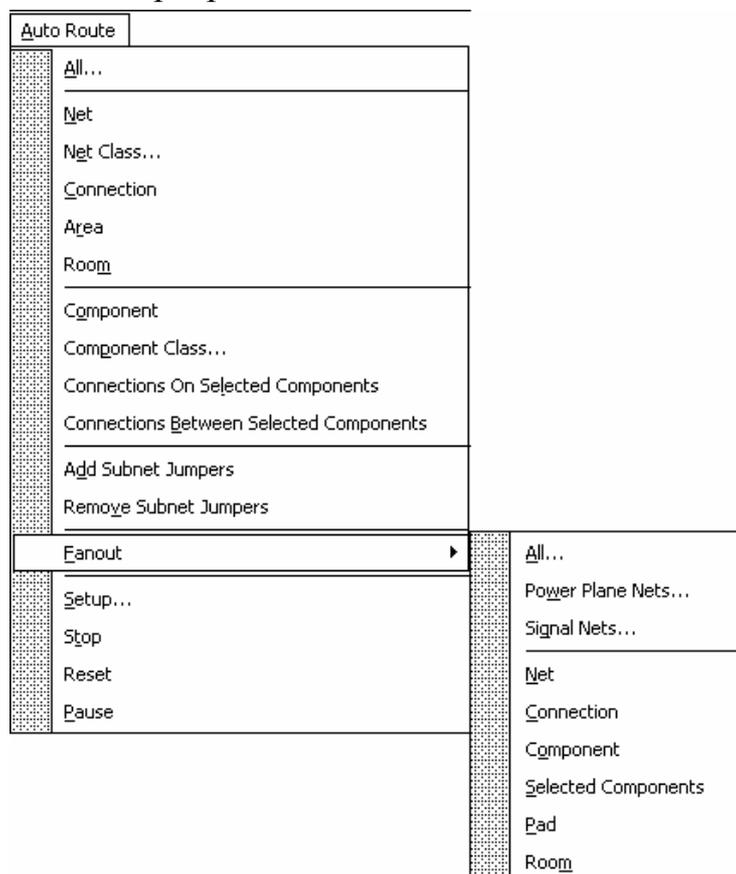


Рис. 7.25

Рассмотрим основные функции автотрассировки (рис. 7.25).

- All – трассировка всей платы: выполняется после настройки стратегии по щелчку на кнопке Route All в диалоговом окне на рис. 7.22;
- Connection – трассировка связи, соединяющей контакты двух компонентов (остальные участки цепи не трассируются). При указании курсором на контакт, от которого связь уходит в одну сторону, трассировка выполняется автоматически по щелчку левой клавиши мыши. При указании курсором контакта, от которого связь расходится в разные стороны, открывается диалоговое окно, в котором приводится перечень сегментов выбранной связи и графическая иллюстрация их расположения на плате (рис. 7.26, a);
- Net – трассировка выбранной цепи. Выполняется по двойному щелчку левой клавишей мыши после указания курсором на начальный или

конечный контакт, принадлежащий данной цепи. В случае указания на контакт, от которого линии связи расходятся в разные стороны, активизируется диалоговое окно, рис. 7.26, б, в котором надлежит выбрать один из сегментов электрической связи, образующей цепь. Цепь разводится целиком;

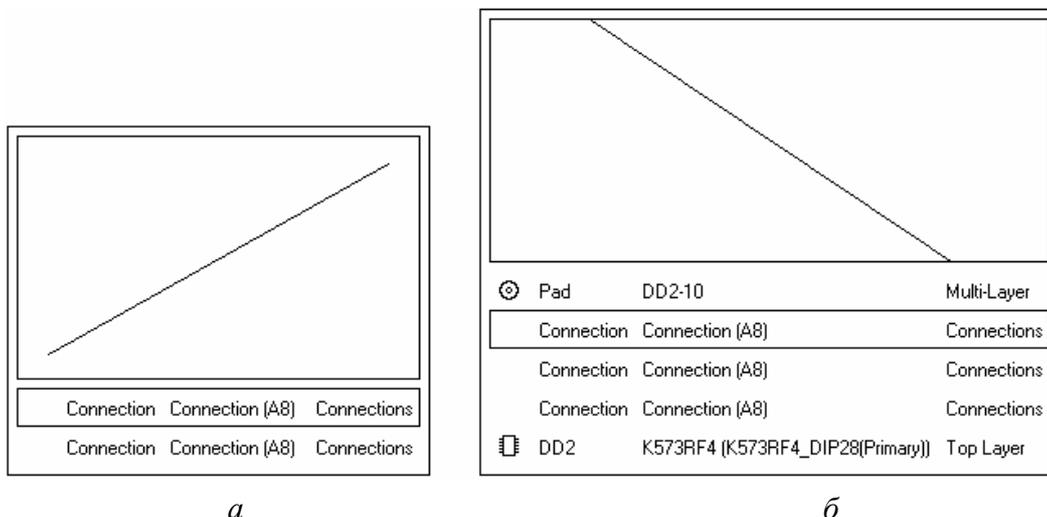


Рис. 7.26

- Net Class – трассировка выбранного класса цепей. Активизируется диалоговое окно Choose Net Classes to Route – выбрать классы цепей, подлежащие трассировке (рис. 7.27, а). Указать курсором один или, удерживая клавишу Shift, несколько классов, и дать старт трассировке щелчком на кнопкой ОК;
- Area – трассировка связей, полностью укладываемых в пределы прямоугольной области, обозначаемой курсором (связи, выходящие за пределы области, не разводятся);

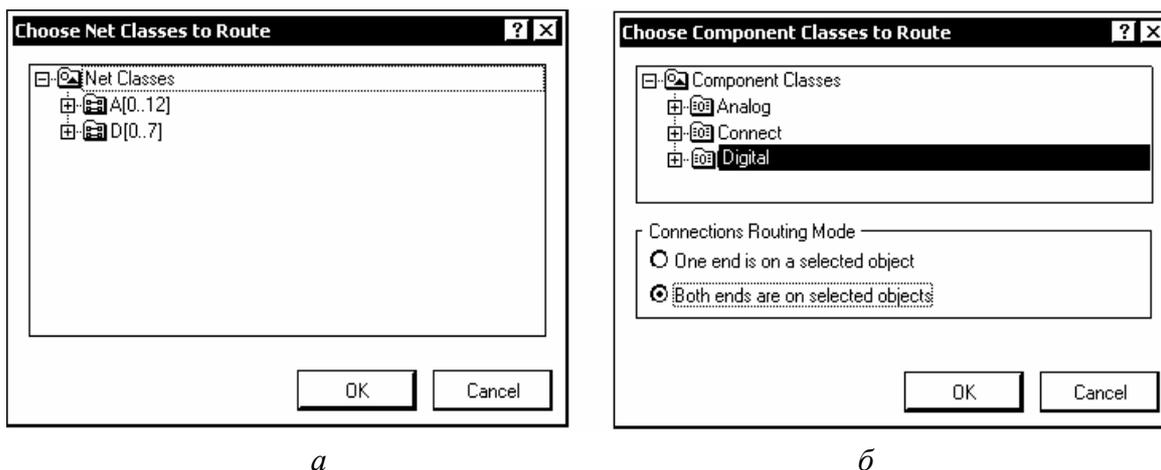


Рис. 7.27

- Room – трассировка связей, укладываемых в область Room (связи, выходящие за пределы “комнаты” не разводятся);
- Component – трассировка связей одного выбранного компонента;

- Component Class – трассировка связей компонентов выбранного класса. Выполняется аналогично трассировке класса цепей – при указании курсором на один или несколько классов компонентов в окне, рис. 7.27, б;

- Connections on Selected Components – трассировка связей выбранных компонентов, как между собой, так и с остальными. Компоненты должны быть предварительно селектированы курсором, при нажатой клавише Shift;

- Connections Between Selected Components – трассировка связей только между выбранными компонентами. Аналогично предыдущему случаю, также сначала должны быть селектированы компоненты;

- Fanout – трассировка веером от тесно расположенных контактов поверхностно-монтируемых (SMD) компонентов. Команда имеет несколько подкоманд:

- All – разводка веером всех связей;
- Power Plane Nets – разводка веером цепей, уходящих в слои питания/“земли”, класса Plane;
- Signal Nets – разводка веером сигнальных цепей;
- Net – разводка выбранной цепи;
- Connection – разводка выбранной связи;
- Component – разводка от контактов выбранного компонента;
- Selected Components – разводка от контактов выбранной группы компонентов;
- Pad – разводка от выбранной контактной площадки;
- Room – разводка от SMD-компонентов в пределах области Room.

Правила веерной трассировки назначаются в ветви дерева правил проектирования Design Rules>>Routing>>Fanout Control. По умолчанию назначено 4 правила (рис. 7.28) для SMD-компонентов разных типов:

- LCC (Leadless Chip Component) – безвыводных чипов;
- BGA (Ball Grid Array) – компонентов в корпусах с матрицей шариковых выводов;
- SOIC (Small Outline Integrated Circuit) – компонентов в малогабаритных корпусах с планарными выводами;
- Small – компонентов в малогабаритных корпусах с числом выводов менее пяти.

Область приложения правил назначается с помощью процедуры формирования запросов (Query) и отображается в колонке Score таблицы, при-

веденной на рис. 7.28. Приоритеты правил устанавливаются в зависимости от наличия компонентов соответствующего типа в проекте.

Пятое правило, Fanout Default, может быть распространено на все SMD-компоненты проекта. В этом случае данному правилу назначается низший приоритет, а для области распространения формируется запрос IsSMTComponent.

Name	Priority	Enabled	Type	Category	Scope	Attributes
Fanout_BGA	1	<input checked="" type="checkbox"/>	Fanout Con	Routing	IsBGA	Style - Auto Direction - Alternating In and Out Via Grid = 0.025mm
Fanout_Default	5	<input checked="" type="checkbox"/>	Fanout Con	Routing	All	Style - Auto Direction - Alternating In and Out Via Grid = 0.025mm
Fanout_LCC	2	<input checked="" type="checkbox"/>	Fanout Con	Routing	IsLCC	Style - Auto Direction - Alternating In and Out Via Grid = 0.025mm
Fanout_Small	4	<input checked="" type="checkbox"/>	Fanout Con	Routing	(CompPinCount < 5)	Style - Auto Direction - Out Then In Via Grid = 0.025mm
Fanout_SOIC	3	<input checked="" type="checkbox"/>	Fanout Con	Routing	IsSOIC	Style - Auto Direction - Alternating In and Out Via Grid = 0.025mm

Рис. 7.28

Программа анализирует структуру посадочного места компонента – типы и расположение контактных площадок – и присваивает компоненту внутренний, невидимый пользователю и недоступный для редактирования атрибут вида IsBGA = true, IsSOIC = true и т. п. В соответствии с логическим значением этого атрибута строится конфигурация веерных отводов от контактов таких компонентов.

Веерная трассировка обычно должна выполняться в первую очередь, с тем чтобы можно было оценить и исправить ее результаты, прежде чем выполнять прочие проходы автотрассировки. Возможно также командой Auto Route>>Fanout>>Component выполнить веерные отводы, заканчивающиеся межслойным переходным отверстием, от компонентов, не соединенных электрическими связями. Если скопировать такую конфигурацию в библиотеку посадочных мест, получатся предварительно разведенные веером SMD-компоненты, которые могут использоваться в проекте печатной платы.

Все предварительно разведенные вручную цепи – дифференциальные пары, веерная разводка планарных (SMD) компонентов, другие критические цепи, могут быть защищены от автотрассировки. Для этого следует активизировать в диалоговом окне (рис. 7.22) опцию Lock All Pre-routes.

После выполнения всех необходимых настроек автотрассировке дается старт кнопкой Route All в окне рис. 7.22. Трассировка сложной платы с сотнями компонентов и плотной компоновкой может длиться до нескольких часов. По ходу выполнения трассировки в плавающую панель Messages выводятся сообщения о завершении проходов трассировки и затраченном на это времени. Трассировка может быть приостановлена командой Auto Route>>Stop и возобновлена повторением команды Auto Route>>All.

Стопроцентная разводка печати не гарантирована. В случае недоразводки некоторых цепей приходится менять размещение компонентов, настройку правил и выполнять повторную автотрассировку или ручную трассировку неразведенных цепей. Человеку часто удается то, что недоступно программным средствам САПР.

7.8.4. Отчет автотрассировщика

Командой главного меню Reports>>Board Information активизируется диалоговое окно PCB Information (рис. 7.29, а) с тремя панелями, в которых приводятся сводка общих характеристик платы, списки компонентов и цепей проекта.

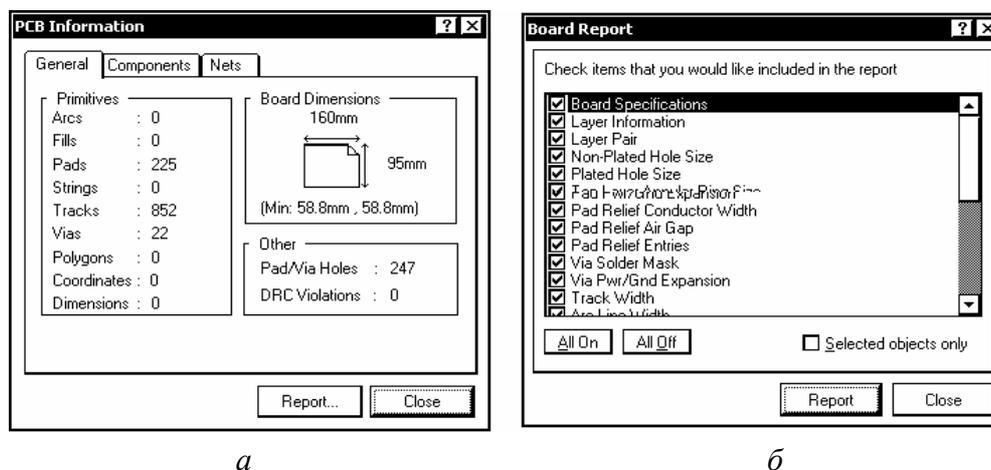


Рис. 7.29

Кнопкой Report активизируется окно следующего уровня с полным списком объектов платы, о которых может быть получен отчет (рис. 7.29, б).

Кнопкой Report в окне на рис. 7.29, б дается старт формированию отчета о параметрах выбранных объектов (рис. 7.30).

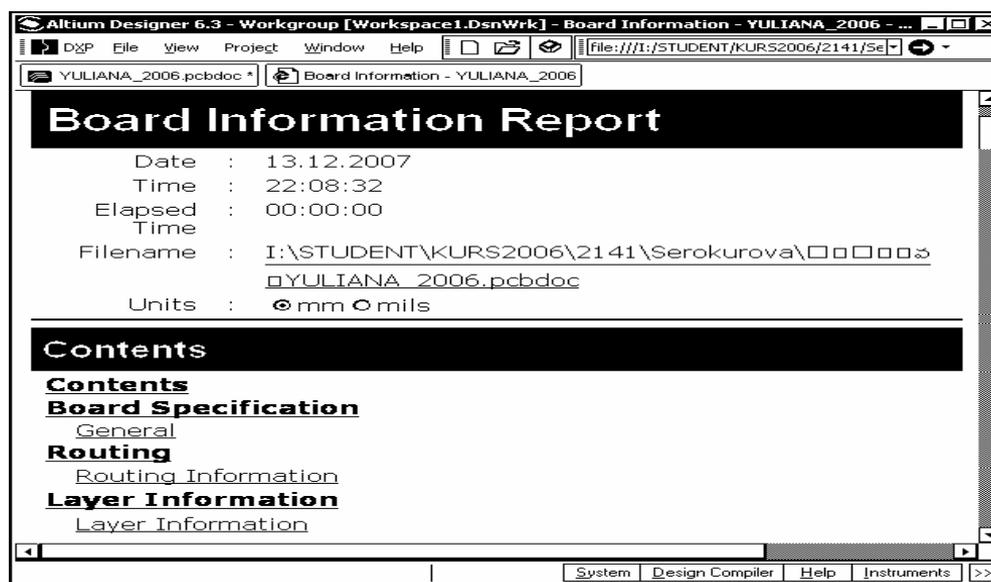


Рис. 7.30

Через систему гиперссылок могут быть вызваны для просмотра подробности, касающиеся отдельных структурных компонентов проекта, – геометрические размеры платы, параметры слоев, проводников, процент разведенных и неразведенных цепей и др.

7.9. Верификация РСВ-проекта

Командой главного меню Tools>>Design Rule Check активизируется проверка выполнения правил проектирования, установленных для текущего открытого проекта. Открывается диалоговое окно Design Rule Checker (рис. 7.31), в полях которого выполняется настройка опций текущей (Online) и пакетной (Batch) проверок.

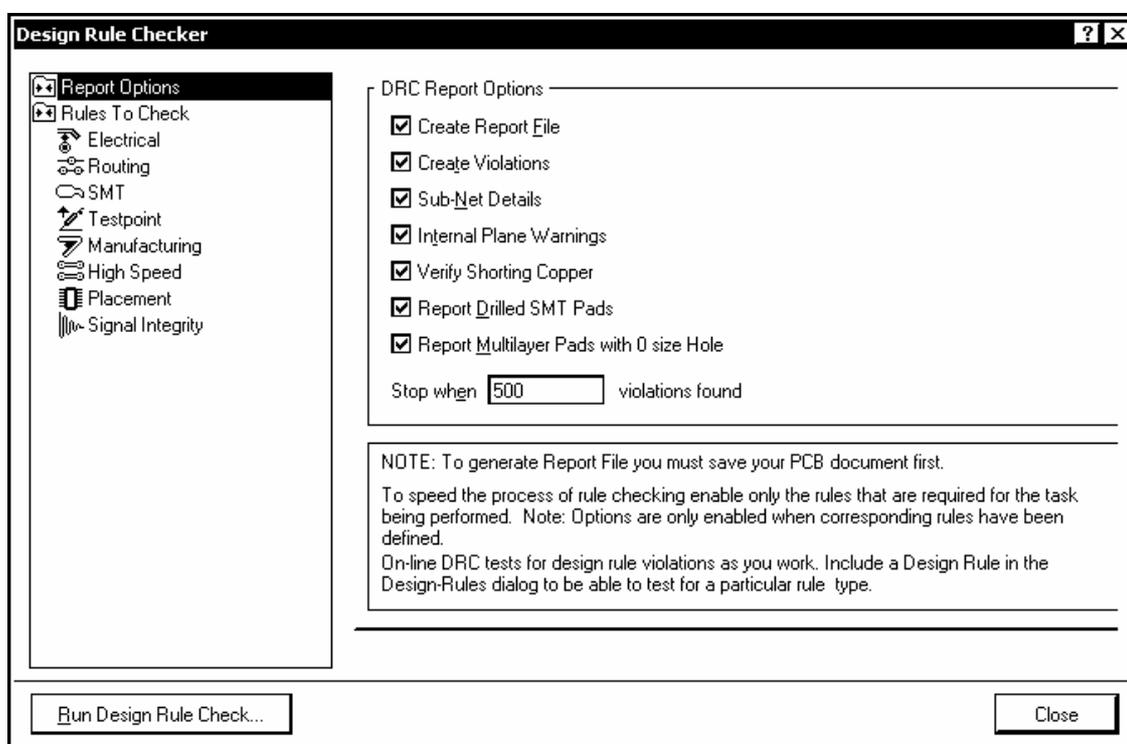


Рис. 7.31

В правом поле окна DRC Report Options устанавливаются области для проверки и формирования отчетов:

- Create Report File – создать файл отчета;
- Create Violations – формировать отчет о нарушениях;
- Sub-Net Details – детальная информация о сегментах цепей;
- Internal Plane Warnings – предупреждения, связанные с внутренними слоями класса Plane;

- Verify Shorting Copper – проверка на короткие замыкания участков металлизации;
- Report Drilled SMT Pads – отчет о просверленных планарных КП;
- Report Multilayer Pads with 0 size Hole – отчет о многослойных КП с нулевым диаметром монтажного отверстия.

В левом поле окна на рис. 7.31 приводится список категорий правил, выполнение которых подлежит проверке:

- Electrical – электрические (зазоры, короткие замыкания и др.);
- Routing – трассировочные (ширина проводников, стиль ПО и др.);
- SMT – правила работы с планарными компонентами;
- Testpoint – контрольные точки;
- Manufacturing – правила, влияющие на возможность изготовления платы (изломы печатных проводников под острым углом, ширина кольца металлизации КП и др.);
- High Speed – правила проектирования высокоскоростных устройств;
- Placement – правила размещения компонентов;
- Signal Integrity – правила контроля целостности сигналов (волновое сопротивление, время распространения сигналов, фронты, выбросы и др.).

При указании курсором одной из категорий правое поле окна (рис. 7.32) видоизменяется: в нем разворачивается список правил выбранной категории.

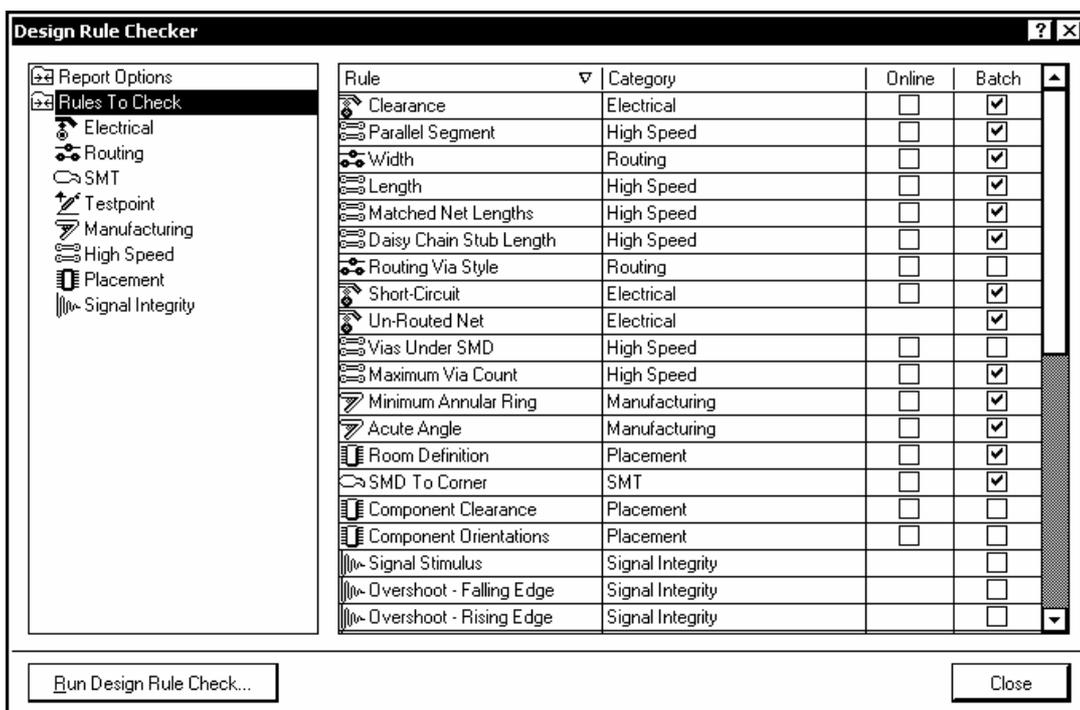


Рис. 7.32

При указании в левом поле окна строки Rules to Check разворачивается полный список правил по всем категориям.

В колонках Online и Batch “птичками” активизируются правила, текущая и пакетная проверка которых должна выполняться в активном проекте.

Кнопкой Run Design Rule Check дается старт пакетной проверки. В процессе проверки в плавающую панель Messages выводятся сообщения о ходе выполнения и результатах проверки по всем пунктам назначенных правил. По окончании проверок в главном окне программы выводится итоговый отчет, озаглавленный Design Rule Verification Report – отчет о верификации правил проектирования.

Все обнаруженные нарушения отмечаются на плате цветовой подсветкой зеленого цвета. Полученный отчет и графическая иллюстрация позволяют принять решение о необходимости редактирования проекта – изменения размещения компонентов, ручного редактирования трассировки, выполнения повторной автотрассировки, редактирования правил, приоритетов и т. п., что в конечном итоге даст результат, отвечающий техническому заданию.

Список литературы

1. Потапов Ю. В. Protel DXP. М.: Горячая линия – Телеком, 2006.
2. Разевиг В. Д. Проектирование печатных плат в P-CAD 2001. М.: СОЛОН-Р, 2001.

Оглавление

Введение.....	3
1. Состав и основные функции Altium Designer 6	5
2. Проект Altium Designer.....	7
2.1. Виды проектов Altium Designer	7
2.2. Создание нового проекта.....	9
2.3. Включение документов в проект.....	10
2.4. Работа с документами проекта.....	11
3. Библиотеки компонентной базы.....	13
3.1. Базовые концепции библиотечного обеспечения	13
3.2. Создание новой интегральной библиотеки	15
3.3. Библиотеки топологических посадочных мест.....	29
3.4. Присоединение моделей к схемному компоненту.....	35
3.5. Компиляция интегральной библиотеки	40
3.6. Конверсия библиотек P-CAD 200X в формат Altium Designer 6	41
3.7. Включение библиотек в рабочую среду Altium Designer	45
3.8. Поиск компонентов в интегрированных библиотеках	46
4. Настройка конфигурации графических редакторов.....	48
4.1. Конфигурация графического редактора схем	48
4.2. Настройка конфигурации графического редактора печатной платы.....	54
5. Формирование и редактирование электрической схемы.....	66
5.1. Размещение объектов на поле чертежа	67
5.2. Редактирование электрической схемы.....	79
5.3. Компиляция проекта	91
6. Проектирование печатной платы	92
6.1. Передача схемы в среду проектирования печатной платы.....	92
6.2. Группирование объектов в классы	94
6.3. Настройка правил проектирования	95
6.4. Приоритеты правил.....	99
6.5. Порядок применения правил.....	100
6.6. Размещение компонентов на печатной плате.....	103
7. Трассировка печатного монтажа	110
7.1. Стандартная интерактивная трассировка	114

7.2. Разрешение конфликтов	116
7.3. Управление шириной печатного проводника	118
7.4. Разводка групповых трасс	120
7.5. Редактирование готовой разводки.....	122
7.6. “Тонкая” интерактивная трассировка	125
7.7. Трассировка дифференциальных пар.....	128
7.8. Автоматическая трассировка печатного монтажа	137
7.9. Верификация РСВ-проекта.....	147
Список литературы.....	149

Владислав Юрьевич Суходольский

Сквозное проектирование функциональных узлов РЭС на печатных платах
в САПР Altium Designer 6

Учебное пособие

Редактор Н. В. Лукина

Подписано в печать . . . 08. Формат 60×84 1/16. Бумага офсетная.

Печать офсетная. Печ. л. 9,25.

Гарнитура “Times”. Тираж 260 экз. Заказ . . .

Издательство СПбГЭТУ “ЛЭТИ”
197376, С.-Петербург, ул. Проф. Попова, 5