

L6561, ENHANCED TRANSITION MODE POWER FACTOR CORRECTOR

by Claudio Adragna

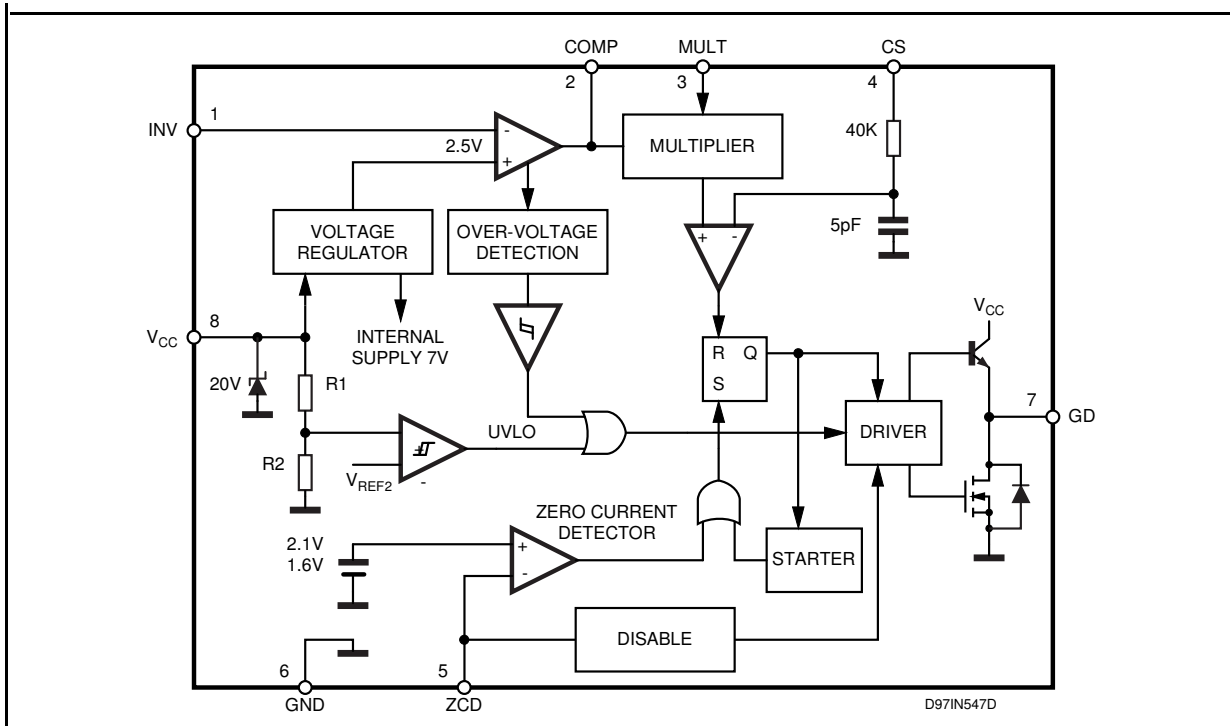
The TM (Transition Mode) technique is widely used for Power Factor Correction in low power applications, such as lamp ballasts or low-end monitors. The L6561 is the latest ST's proposal for this market and the emerging ones that are supposed to require a low-cost Power Factor Correction. Based on a well-established architecture, the L6561 offers excellent performance that enlarges its field of application considerably.

Introduction

Основная часть обычных автономных преобразователей, как правило, состоит из полноволнового выпрямительного моста с конденсаторным фильтром. Конденсатор фильтра должен быть достаточно большим, чтобы иметь относительно низкую пульсацию выходного напряжения. Это означает, что мгновенное входное напряжение в большинстве случаев ниже напряжения на конденсаторе, поэтому выпрямители работают только в небольшой части каждого полуцикла напряжения. Ток, потребляемый из сети, представляет собой серию узких импульсов, амплитуда которых в 5-10 раз превышает результирующее значение постоянного тока.

Из-за этого возникает множество недостатков: высокий пиковый и среднеквадратичный токи потребления, искажение напряжения сети переменного тока, сверхтоки в нейтральной линии трехфазных систем и, в конце концов, негативное воздействие на энергосистему, с точки зрения содержания гармоник в соответствии с нормами EN61000-3-2 или Power Factor (PF).

Figure 1. Internal Block Diagram of the L6561.



AN966 APPLICATION NOTE

Использование корректора коэффициента мощности (PFC), расположенного между выпрямительным мостом и фильтрующим конденсатором, позволяет вывести из сети квазисинусоидальный ток. PF становится очень близким к 1 (возможно больше 0,99), и вышеупомянутые недостатки устраняются.

Теоретически, любая топология коммутации может быть использована для достижения высокого PF, но на практике Boost-топология повышения стала самой популярной из-за преимуществ, которые она предлагает:

- 1) в основном, схема требует наименьших внешних частей, поэтому она самая дешевая. Дополнительно:
- 2) Дроссель, расположенный между мостом и диодом, снижает di/dt входного сигнала, что сводит к минимуму шум, создаваемый на входе, и, следовательно, требования к входному фильтру электромагнитных помех;
- 3) MOSFET заземлен, поэтому им легко управлять.

Однако для такой топологии требуется, чтобы выходное напряжение было выше максимального ожидаемого пикового напряжения сети (400 В постоянного тока является типичным для сети 220 В). Кроме того, отсутствует гальваническая изоляция между входом и выходом.

В настоящее время широко используются два метода управления предварительным процессором PFC: фиксированный частотный режим PWM с постоянным током и PWM с переходным режимом (TM) (фиксированное время включения, переменная частота). Первый метод требует сложного управления, для которого требуется сложная ИС контроллера (ST L4981A, с вариантом частотной модуляции, предлагаемым L4981B) и значительным количеством компонентов. Второй вариант требует более простого управления (реализуемого ST L6561), гораздо меньшего количества внешних частей и, следовательно, намного дешевле.

С помощью первого метода дроссель работает в режиме непрерывной проводимости, в режиме TM дроссель работает на границе между непрерывным и прерывистым режимами. При заданной пропускной способности работа TM создает более высокие пиковые токи. Это предполагает его использование в более низком диапазоне мощности (обычно ниже 150 Вт), тогда как первый рекомендуется для более высоких мощностей.

L6561 PFC контроллер. Состав схемы

L6561, внутренняя блок-схема которого показана на рис. 1, представляет собой ИС, предназначенную для управления PFC в переходном режиме тока. Устройство доступно в пакетах DIP-8 и SO8.

Наиболее важные особенности L6561 касаются следующих моментов:

- блокировка минимального напряжения с гистерезисом;
- низкий пусковой ток (гарантируется 50 мкА, 90 мкА) требуется всего один маломощный резистор;
- встроенный источник опорного напряжения с 1% точностью (@ $T_j = 25^\circ \text{C}$);
- функция отключения устройства и переход в режим низкого потребления;
- двухуровневая защита от перенапряжения;
- схема внутреннего запуска и контроля нулевого тока для работы в режиме TM;
- множитель с расширенной динамикой для широкополосных сетевых приложений с отличным THD;
- встроенный RC-фильтр на входе контроля тока внешнего MOSFET - CS;
- выход для непосредственного управления MOSFET или IGBT-ключами.

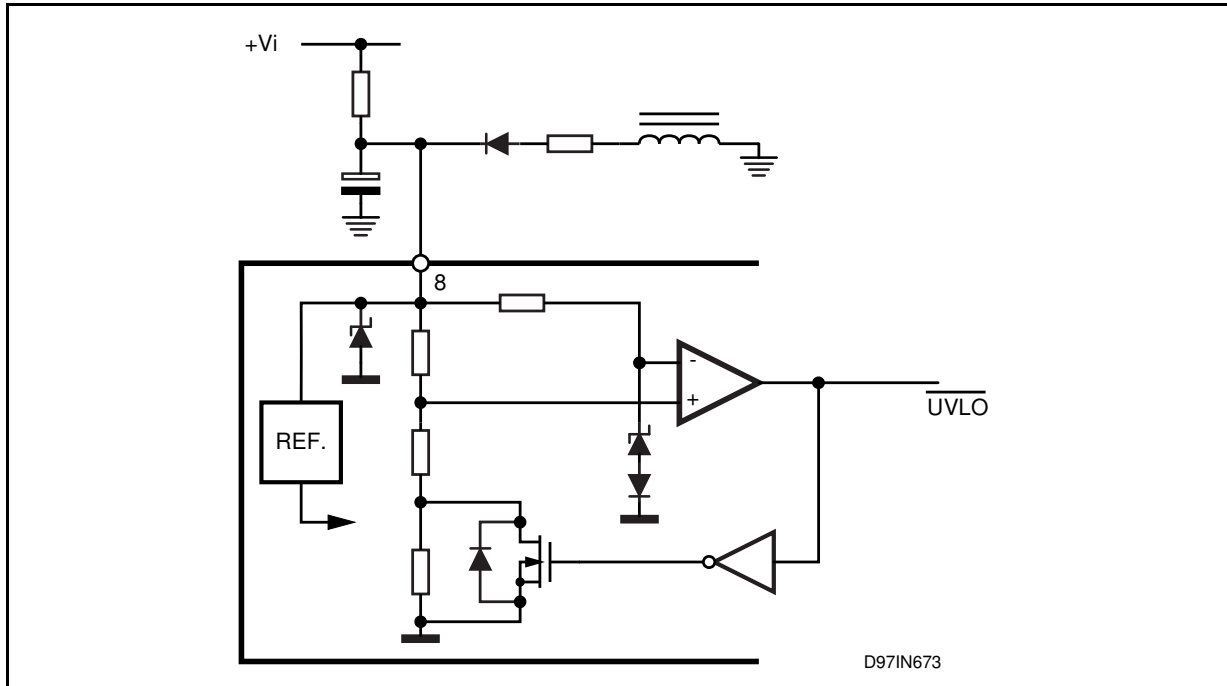
ИС оптимизирована для использования в электронных ламповых балластах, адаптерах переменного тока Средней и малой мощности (менее 150 Вт). Тем не менее, его отличная производительность наряду с чрезвычайно сокращенным количеством внешних частей позволяет также использовать в нетрадиционных топологиях / приложениях. Наиболее заметными примерами являются низковольтные автономные преобразователи переменного тока (FlayBack) с коррекцией коэффициента мощности или без него.

Device Blocks Description

SUPPLY BLOCK

На рис. 1, на блок-схема, содержит модуль генерирующий из V_{cc} внутреннюю шину 7V, используемую для питания всей интегральной схемы, за исключением выходного каскада, он питается от V_{cc} . Кроме того, схема содержит ИОН ($2,5 \text{ В} \pm 1\%$ при 25°C), используемый контуром управления для точного регулирования. На рис.2 показан компаратор контроля минимального напряжения (UVLO) с гистерезисом, используемый для Разрешения работы микросхемы только пока напряжение V_{cc} достаточно высокое, чтобы обеспечить надежную работу.

Figure 2. Internal Supply Block.



УСИЛИТЕЛЬ ОШИБКИ И КОНТРОЛЬ ПЕРЕНАПРЯЖЕНИЯ (см. Рис. 3 и 4):

Инвертирующий вход усилителя ошибки (Е/А) через внешний делитель, подключенный к выходной шине, сравнивает значение выходного постоянного напряжения V_o с внутренним опорным сигналом, для поддержания постоянного напряжения на выходе схемы.

Выход Е/А используется для компенсации частоты, обычно реализуемой с помощью конденсатора обратной связи, подключенного к инвертирующему входу. Ширина полосы регулирования Е/А должна быть очень низкой, поскольку на выходе Е/А должно быть постоянное напряжение в течение полупериода входного сигнала для достижения высокого РF.

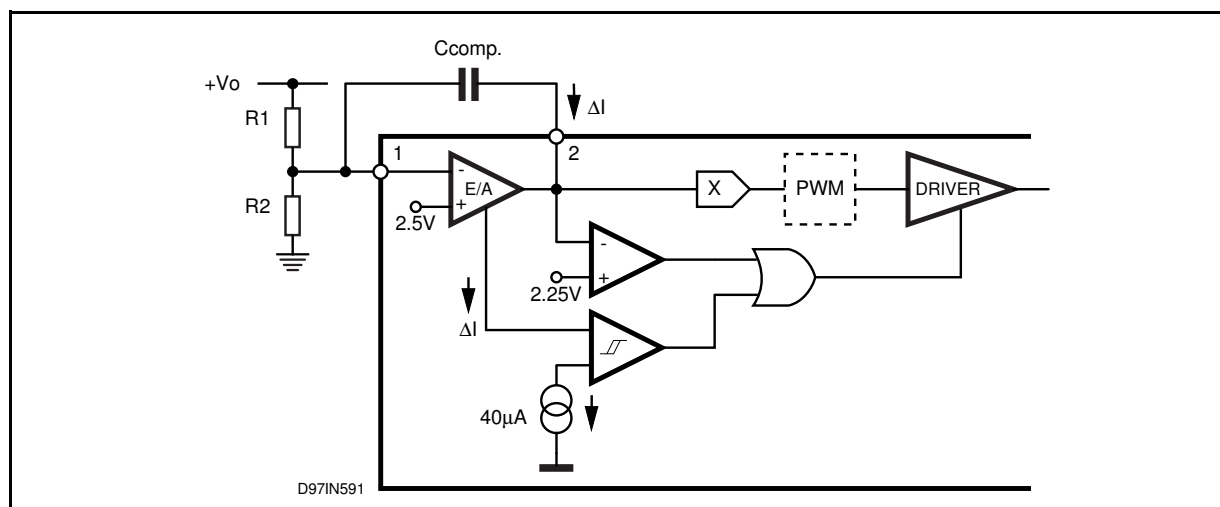
Диапазон выходных напряжений Е/А внутренне зажимается так, что оно колеблется между 2 В и 5,8 В, чтобы ускорить его восстановление после насыщения выходных каскадов Е/А.

Устройство снабжено двухуровневой защитой от перенапряжения (OVP), реализуемой с помощью вывода, подключенного к выходу Е / А. В случае перенапряжения выход Е / А будет стремиться к насыщению, но реакция Е / А очень медленная, и это займет много времени. С другой стороны, перенапряжение должно быть немедленно исправлено. Следовательно, необходим быстрый детектор ОВП, основанный на другой концепции. В установившемся состоянии ток через R1 равен току в R2, потому что компенсационный конденсатор не пропускает постоянный ток (выходы Е / А имеют высокий импеданс):

$$I_{R1,R2} = \frac{V_o - 2.5}{R1} = \frac{2.5}{R2}$$

Когда выходное напряжение возрастает из-за изменения ступенчатой нагрузки, ток в R1 также нарастает, но ток через R2, зафиксирован внутренним опорным сигналом 2,5 В и обусловлен медлительностью Е / А. Избыточный ток будет протекать через конденсатор обратной связи и низкоомный выход Е / А. В этом случае происходит двухэтапная процедура.

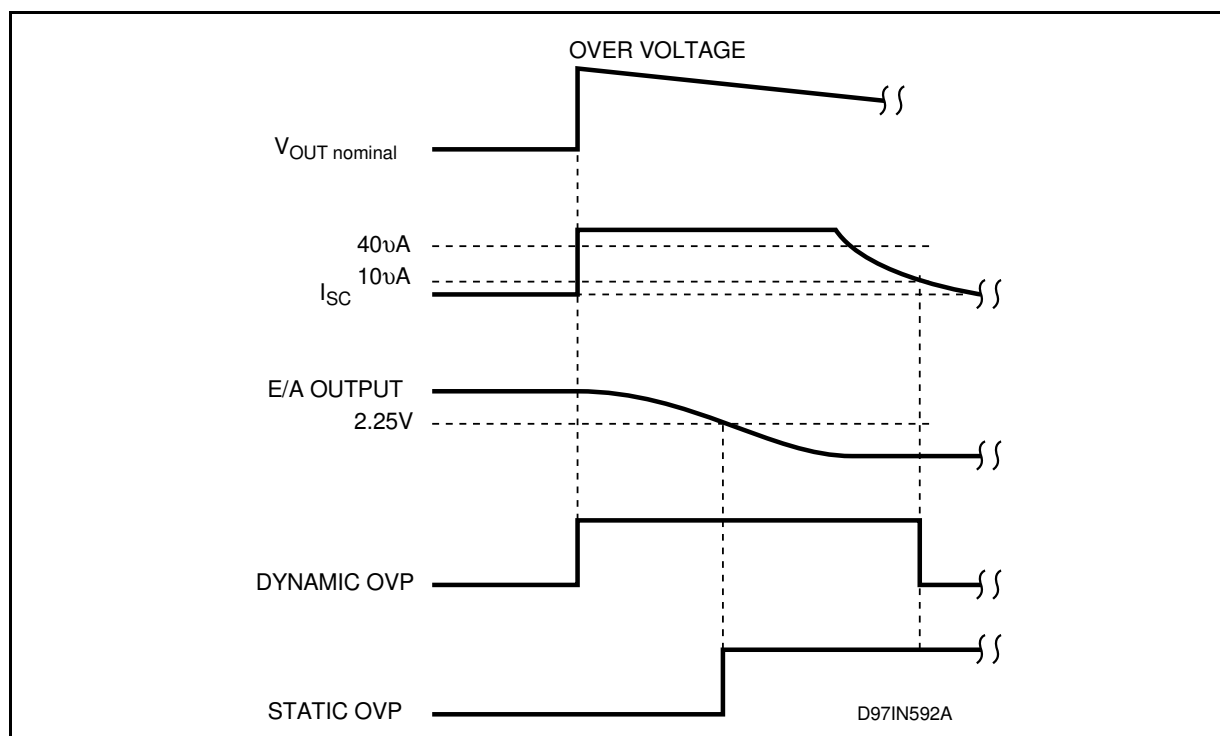
Figure 3. Error Amplifier and Overvoltage Detector Block.



Когда избыток тока достигает около 37 мкА, выходное напряжение умножителя начнет уменьшаться, и энергия, потребляемая от сети, уменьшается. Это замедляет скорость нарастания выходного напряжения. Обычно это «мягкое торможение» справляется с превышением выходного напряжения.

Если выходное напряжение еще больше увеличивается, несмотря на мягкое торможение, так что ток, входящий в E / A, достигает 40 мкА, происходит «резкое торможение». Выход умножителя вытягивается на землю, таким образом отключая выходной каскад и внешний МОП-транзистор. Также выключается и внутренний стартер. Внутренний компаратор тока имеет гистерезис, поэтому выход из режима торможения и включение выходного каскада происходит, когда ток, входящий в E / A, падает примерно до 10 мкА.

Figure 4. Dynamic and Static OVP operation.



Динамический OVP в сочетании мягкого и резкого торможения эффективен для обработки большинства изменений нагрузки, но не обеспечивает полной защиты. На самом деле он чувствителен к изменениям выходного напряжения (откуда и относится «динамический») и не может выявить устойчивое перенапряжение, которое, вероятно, произойдет в случае отключения нагрузки.

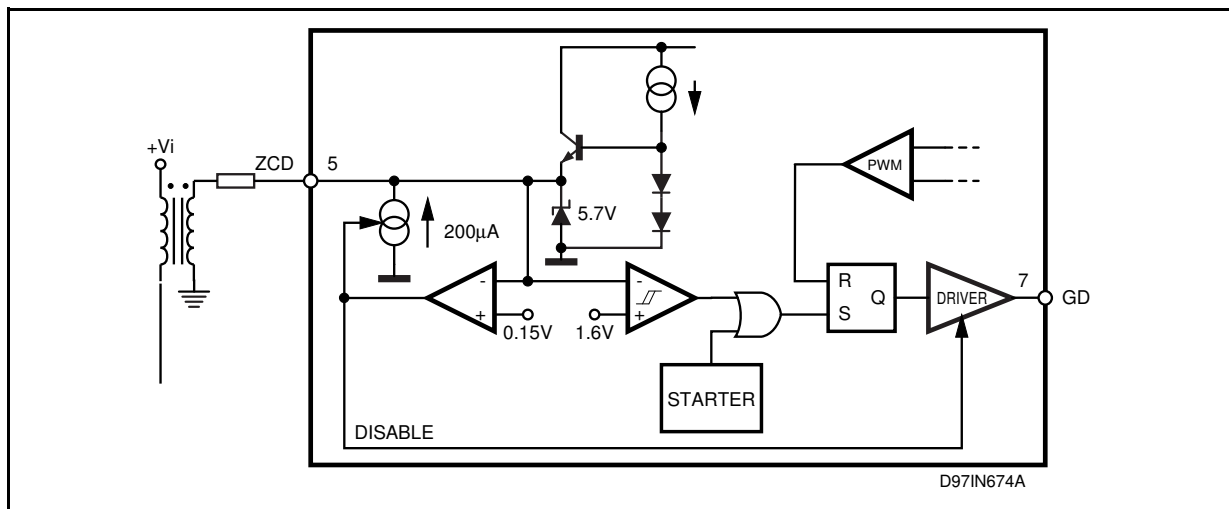
Вышеупомянутая концепция насыщения E/A используется для «статического» OVP. Если перенапряжение длится так долго, что выход E/A станет ниже 2,25 В (E/A находится в линейной динамике до 2,5 В), защита активируется. Помимо отключения выходного каскада и внешнего МОП-транзистора, он отключает некоторые внутренние блоки, уменьшая ток покоя чипа до 1,4 мА (тип). Работа устройства снова активируется, когда выход E/A возвращается в свою линейную область.

На рисунке 4 показано комбинированное действие динамического и статического OVP.

ZERO CURRENT DETECTION И ТРИГГЕРНЫЙ БЛОК (см. Рис.5)

Блок Zero Current Detection (ZCD) включает внешний МОП-транзистор, когда напряжение на дросселе повышается, сразу после того, как ток через дроссель достиг нулевого уровня. Эта функция позволяет работать в пограничном режиме ТМ.

Figure 5. Zero Current Detection, Triggering and Disable Block.



При работе схемы сигнал для ZCD снимается со вспомогательной обмотки дросселя.

Конечно, требуется схема, которая включает внешний МОП-транзистор при запуске, поскольку от ZCD изначально сигнал не поступает. Это реализуется с помощью внутреннего стартера, который заставляет драйвер подавать импульс на затвор MOSFET, производя также активацию контроля цепи ZCD.

Частота повторения стартера превышает 70 мкс (14 кГц), и эта максимальная частота должна учитываться во время разработки.

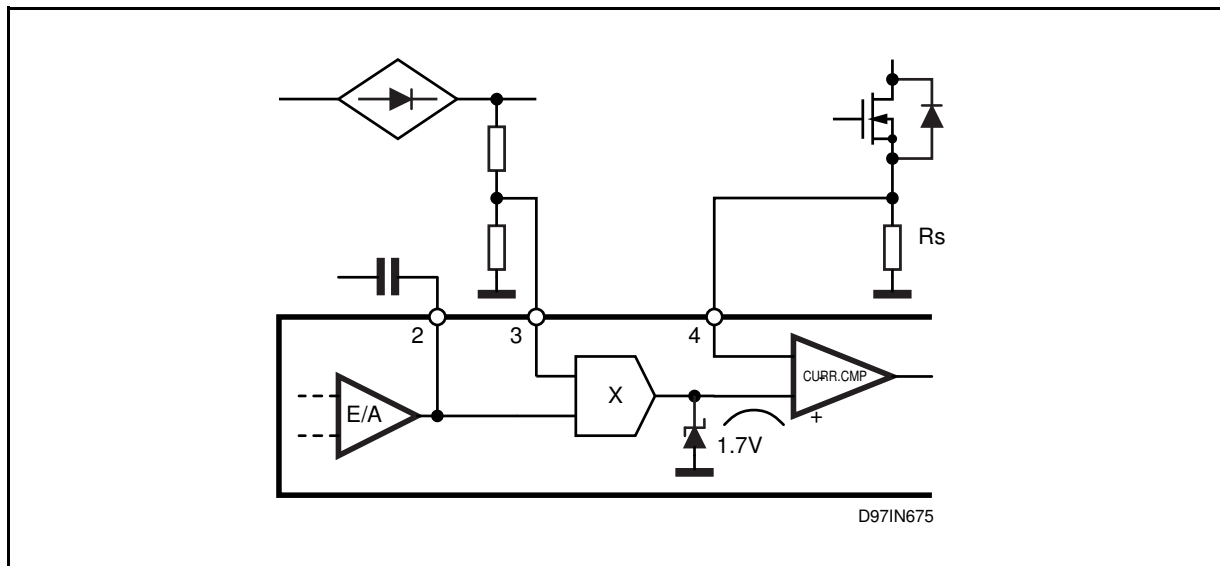
DISABLE BLOCK (см. Рис.5)

Выход ZCD также используется для активации Disable Mode. Если напряжение на выводе ZCD становится ниже 150 мВ, устройство будет отключено и его текущее потребление будет сокращено. Чтобы снова включить работу устройства, притягивание к «земле» должно быть отпущено.

БЛОК MULTIPLIER (см. Рис.6)

Умножитель имеет два входа: первый принимает с делителя мгновенное выпрямленное входное напряжение, а второй - выход E/A . Поскольку это напряжение постоянно (в течение заданного полупериода линии), выход мультипликатора будет также иметь форму выпрямленной синусоиды. Это опорный сигнал для текущего компаратора, который устанавливает пиковый ток MOSFET в течении цикла.

Figure 6. Multiplier Block.

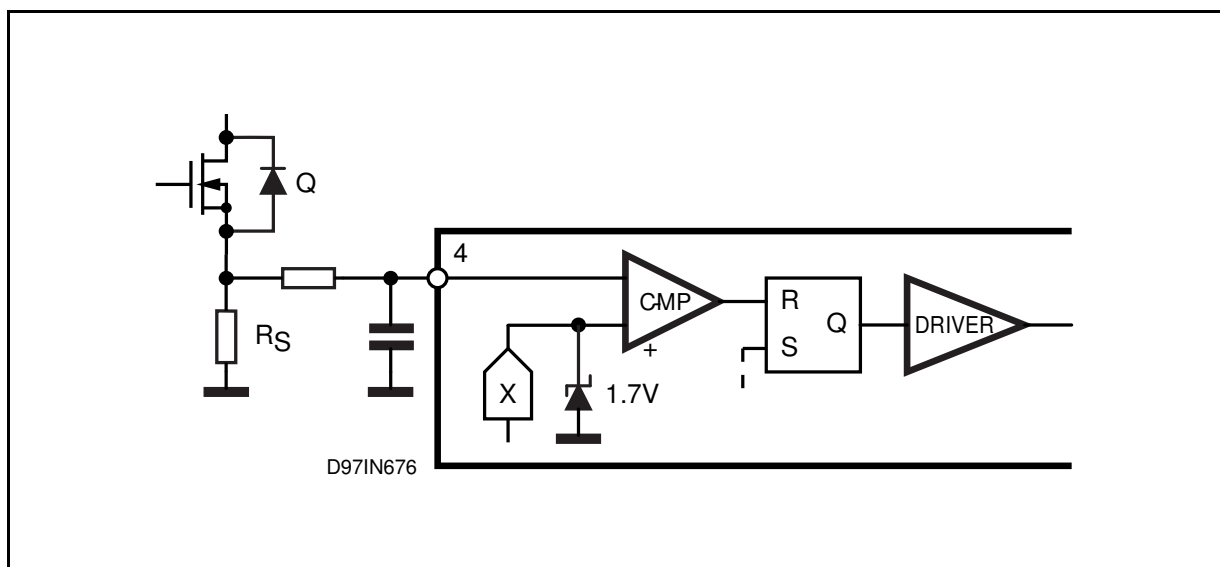
**КОМПАРАТОР ТОКА И ШИМ-ПЕРЕКЛЮЧАТЕЛЬ (см. Рис. 7):**

Токовый компаратор измеряет напряжение на резисторе тока (R_s) и, сравнивая его с управляющим сигналом, определяет точное время отключения внешнего МОП-транзистора.

Защелка PWM позволяет избежать ложных переключений MOSFET, которые могут возникнуть в результате генерируемого шума.

Выход умножителя внутренне ограничен 1,7 В (тип), поэтому ограничение тока происходит, если напряжение на R_s достигает значения напряжения с умножителя, но не более 1,7 В.

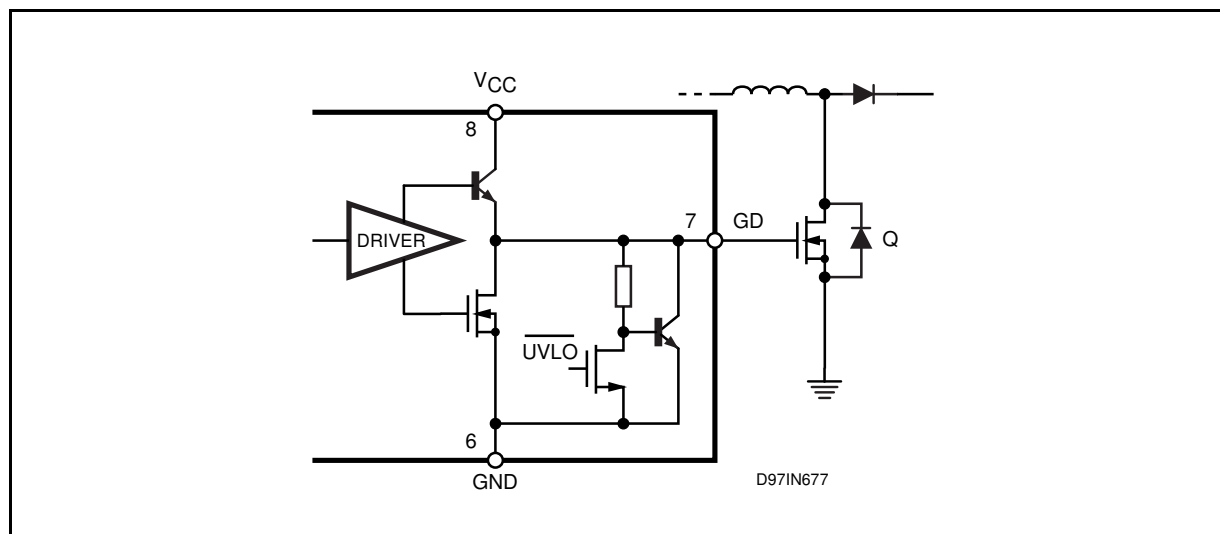
Figure 7. Current Comparator and PWM latch

**ДРАЙВЕР (см. Рис. 8)**

Выходной каскад драйвера с мощностью 400 мА позволяет управлять внешним МОП-транзистором.

Внутренняя вытягивающая цепь удерживает выходной сигнал на низком уровне, когда устройство находится в условиях UVLO, чтобы гарантировать, что внешний MOSFET не может быть включен случайно.)

Figure 8. Output Driver.

**TM PFC Operation (Boost Topology)**

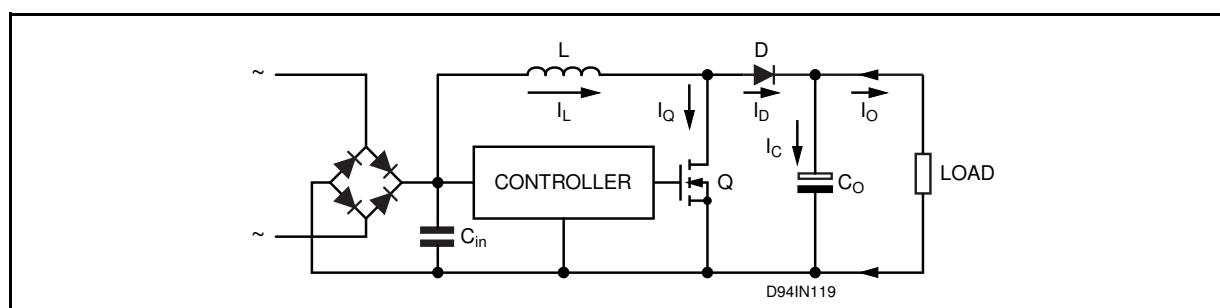
Работа управляемого преобразователем форсированного преобразователя режима управления PFC можно резюмировать в следующем описании.

Сетевое напряжение переменного тока выпрямляется диодным мостом и подается в Boost преобразователь, который используя технологию коммутации, повышает выпрямленное входное напряжение до регулируемого выходного напряжения постоянного тока (V_o).

Boost преобразователь состоит из индуктивности (L), управляемого выключателя питания (Q), диода (D), выходного конденсатора (C_o) и, очевидно, схемы управления (см. Рис.9).

Целью является формирование входного тока синусоидальным образом, синфазное с входным синусоидальным напряжением. Для этого L6561 использует так называемый переходный режим работы дросселя (TM).

Figure 9. Boost Converter Circuit.



Усилитель ошибок сравнивает выходное напряжения преобразователя с внутренним опорным сигналом, генерируя ошибку, пропорциональную разнице между ними. Если полоса пропускания усилителя ошибки достаточно узкая (скажем, ниже 20 Гц), сигнал ошибки является значением постоянного тока в течение полупериода.

Сигнал ошибки подается в блок умножителя и умножается на выпрямленное сетевое напряжение.

Результатом будет выпрямленная синусоида, амплитуда пика которой зависит от пикового напряжения сети и значения сигнала ошибки. Выход умножителя, в свою очередь, подается на вход (+) текущего компаратора и представляет синусоидальную ссылку для PWM. В момент, когда напряжение на шунте (CS) равно значению на (+) компаратора тока, внешний МОП-транзистор отключается. Как следствие, значение тока пиковой индуктивности будет повторять синусоиду входного напряжения.

AN966 APPLICATION NOTE

Можно также доказать, что эта операция создает время ON-time для каждого полупериода линии (см. «Boost Inductor»).

После отключения MOSFET дроссель разряжает свою энергию в нагрузку до тех пор, пока ее ток не достигнет нуля. Дроссель начинает резонировать с суммарной емкостью. Напряжение на дросселе быстро падает ниже мгновенного линейного напряжения, а сигнал на ZCD снова включает MOSFET, и начинается цикл преобразования.

Низкое напряжение во внешнем MOSFET при включении уменьшает как потери переключения, так и эквивалентную энергию емкости стока, которая рассеивается внутри внешнего МОП-транзистора.

Результирующий ток дросселя и временные интервалы MOSFET показаны на рис. 10, где также показано, что по геометрическим соотношениям средний входной ток (тот, который будет потреблен от сети) составляет всего лишь половину амплитудной кривой тока дросселя.

Система работает (не совсем точно, но очень близко)

к границе между непрерывным и прерывистым токовым режимом, и именно поэтому эта система называется переходным режимом PFC. Помимо простоты и требуемых нескольких внешних деталей, эта система минимизирует размер индуктора из-за низкой требуемой величины индуктивности. С другой стороны, сильная пульсация тока на индукторе связана с высоким RMS-током и высоким уровнем шума на выпрямленной основной шине, для чего требуется более габаритный фильтр электромагнитных помех. Эти недостатки ограничивают использование TM PFC для приложений высокого диапазона мощности.

Design Criteria

Here below some design criteria are described. The basic design specification concerns the following data:

- † Mains Voltage Range: $V_{rms(min)} - V_{rms(max)}$
- † Regulated DC Output Voltage: V_o
- † Rated Output Power: P_o
- † Minimum Switching Frequency: f_{sw}
- † Maximum Output Voltage ripple: ΔV_o
- † Maximum Overvoltage admitted: ΔV_{OVP}

For reference, it is useful to define also the following quantities:

- † Expected efficiency: η
- † Input Power: $P_i (= P_o/\eta)$
- † Maximum Mains RMS current: $I_{ms} (= P_i/V_{rms(min)})$
- † Rated Output Current: $I_o (= P_o/V_o)$

POWER SECTION DESIGN

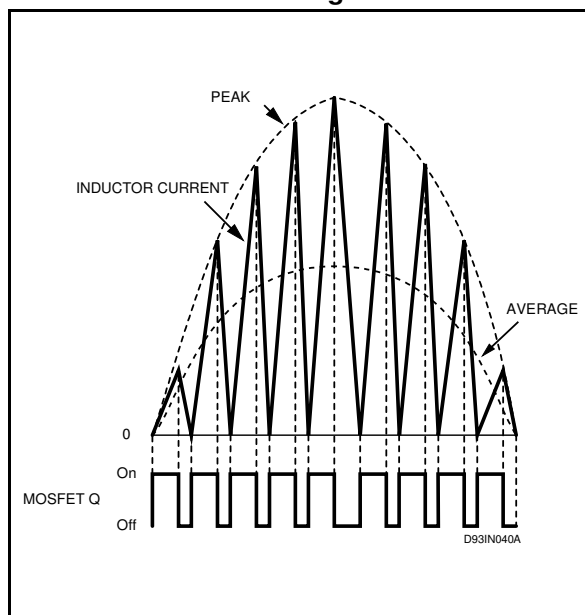
Input Bridge

The input diodes bridge can use standard slow recovery, low-cost devices. The quantities to consider will be just the input current (I_{ms}), the maximum peak mains voltage and the thermal data of the diodes.

Input Capacitor

The input high frequency filter capacitor (C_{in}) has to attenuate the switching noise due to the high fre-

Figure 10. Inductor Current waveform and MOSFET timing



quency inductor current ripple (twice the average line current, see fig. 9). The worst conditions will occur on the peak of the minimum rated input voltage.

The maximum high frequency voltage ripple is usually imposed between 1% and 10% of the minimum rated input voltage. This is expressed by a coefficient r (typically, $r = 0.01$ to 0.1):

$$C_{in} = \frac{I_{rms}}{2\pi \cdot f_{sw} \cdot r \cdot V_{irms (min)}}$$

High values of C_{in} alleviate the burden to the EMI filter but cause the power factor and the harmonic contents of the mains current to worsen, especially at high line and light load. On the other hand, low values of C_{in} improve power factor and reduce mains current distortion but require heavier EMI filtering and increase power dissipation in the input bridge. It is up to the designer to find the right trade-off in their application.

Output Capacitor

The output bulk capacitor (C_o) selection depends on the DC output voltage, the admitted overvoltage, the output power and the desired voltage ripple.

The 100 to 120Hz (twice the mains frequency) voltage ripple ($\Delta V_o = 1/2$ ripple peak-to-peak value) is a function of the capacitor impedance and the peak capacitor current ($I_{(2f)pk} = I_o$):

$$\Delta V_o = I_o \cdot \sqrt{\frac{1}{(2\pi \cdot 2f \cdot C_o)^2} + ESR^2}$$

With a low ESR capacitor the capacitive reactance is dominant, therefore:

$$C_o \geq \frac{I_o}{4\pi \cdot f \cdot \Delta V_o} = \frac{P_o}{4\pi \cdot f \cdot V_o \cdot \Delta V_o}$$

ΔV_o is usually selected in the range of 1 to 5% of the output voltage.

Although ESR usually does not affect the output ripple, it has to be taken into account for power losses calculation. The total RMS capacitor ripple current, including mains frequency and switching frequency components, is:

$$I_{Crms} = \sqrt{\frac{32 \sqrt{2}}{9\pi} \cdot I_{rms}^2 \cdot \frac{V_{irms}}{V_o} - I_o^2}$$

If the application has to guarantee a specified hold-up time, the selection criterion of the capacitance will change: C_o has to deliver the output power for a certain time (t_{hold}) with a specified maximum dropout voltage:

$$C_o = \frac{2 \cdot P_o \cdot t_{Hold}}{V_{o_min}^2 - V_{op_min}^2}$$

where V_{o_min} is the minimum output voltage value (which takes load regulation and output ripple into account) and V_{op_min} is the minimum output operating voltage before the 'power fail' detection from the downstream system supplied by the PFC.

Boost Inductor

Проектирование катушки индуктивности включает в себя несколько параметров, и можно использовать различные подходы. Сначала нужно определить индуктивность. Индуктивность (L) обычно определяется так, чтобы минимальная частота переключения была больше максимальной частоты внутреннего стартера, прямой ТМ. Предполагая единство PF, можно написать

$$T_{on} = \frac{L \cdot I_{Lpk} \cdot \sin(\theta)}{\sqrt{2} \cdot V_{irms} \cdot \sin(\theta)} = \frac{L \cdot I_{Lpk}}{\sqrt{2} \cdot V_{irms}} \quad T_{off} = \frac{L \cdot I_{Lpk} \cdot \sin(\theta)}{V_o - \sqrt{2} \cdot V_{irms} \cdot \sin(\theta)}$$

AN966 APPLICATION NOTE

T_{on} и T_{off} - время включения и время выключения MOSFET соответственно, I_{Lpk} - максимальный ток индуктивности катушки в линейном цикле и θ - мгновенная фаза линии ($\theta \in (0, \pi)$). Обратите внимание, что ON-time является постоянным по линейному циклу. Как было сказано ранее, I_{Lpk} представляет собой двойной пиковый ток линии, который связан с входной мощностью и линейным напряжением:

$$I_{Lpk} = 2 \cdot \sqrt{2} \cdot \frac{P_i}{V_{irms}}$$

Подставляя это соотношение в выражения T_{on} и T_{off} , после некоторой алгебры можно найти мгновенную частоту коммутации по линейному циклу:

$$f_{sw}(\theta) = \frac{1}{T_{on} + T_{off}} = \frac{1}{2 \cdot L \cdot P_i} \cdot \frac{V_{irms}^2 \cdot (V_O - \sqrt{2} \cdot V_{irms} \cdot \sin(\theta))}{V_O}$$

Частота переключения будет минимальной в верхней части синусоиды ($\theta = \pi/2 \Rightarrow \sin(\theta) = 1$), максимум при нулевом пересечении линейного напряжения ($\theta = 0$ или $\pi \Rightarrow \sin(\theta) = 0$) где $T_{off} = 0$. Абсолютная минимальная частота $f_{sw}(\min)$ может возникать при максимальном или минимальном напряжении сети, поэтому значение индуктивности определяется:

$$L = \frac{V_{irms}^2 \cdot (V_O - \sqrt{2} \cdot V_{irms})}{2 \cdot f_{sw}(\min) \cdot P_i \cdot V_O},$$

где V_{irms} может быть либо $V_{irms}(\min)$, либо $V_{irms}(\max)$, в зависимости от того, какое значение ниже для L . Минимальное рекомендуемое значение для $f_{sw}(\min)$ составляет 15 кГц, чтобы не мешать внутреннему стартеру (см. Описание ZCD и описание триггера). После определения значения L может начаться реальная конструкция индуктора. Что касается магнитного материала и геометрии, то потребность в изоляции из-за высокого напряжения и диапазон рабочих частот делают стандартный высокочастотный феррит (коробчатый сердечник с бобиной) обычным выбором в приложениях PFC. Среди различных типов, предлагаемых производителями, наиболее подходящий из них будет выбран с техническими и экономическими соображениями.

Следующий шаг - оценить размер ядра. Чтобы получить приблизительное значение минимального размера ядра, можно использовать следующую практическую формулу:

$$\text{Volume} \geq 4K \cdot L \cdot I_{rms}^2,$$

where Volume is expressed in cm^3 , L in mH and the specific energy constant K depends on the ratio of the gap length (l_{gap}) and the effective magnetic length (l_e) of the ferrite core:

$$K \cong 14 \cdot 10^{-3} \cdot \frac{l_e}{l_{gap}}.$$

The ratio l_e/l_{gap} is fixed by the designer.

Then the winding must be specified. The turn number and the wire cross-section are the quantities to be defined.

The (maximum) instantaneous energy inside the boost inductor ($\frac{1}{2} L \cdot I_{Lpk}^2$) can be expressed in terms of energy stored in the magnetic field, given by the maximum energy density times the effective core volume V_e :

$$\frac{1}{2} \cdot L \cdot I_{Lpk}^2 = \frac{1}{2} \cdot \Delta H \cdot \Delta B \cdot V_e \approx \frac{1}{2} \cdot \Delta H \cdot \Delta B \cdot A_e \cdot l_e,$$

where: A_e is the effective area of the core cross-section, ΔH is the swing of the magnetic field strength and ΔB is the swing of the magnetic flux density.

To prevent the core from saturating because of its high permeability and allow an adequate ΔH , it is necessary to introduce an air gap.

Despite the gap length l_{gap} is few per cent of l_e , the permeability of ferrite is so high (for power ferrites, typically $\mu_r = 2500$) that it is possible to assume all the magnetic field concentrated in the air gap with good approximation ($\Delta H \approx \Delta H_{gap}$). For instance, with 1% of l_{gap}/l_e (which is the minimum suggested value) the error caused by this assumption is about 4%. The error will be smaller if the l_{gap}/l_e ratio is larger.

As a result, neglecting fringing flux in the air gap region, the energy balance can be re-written as:

$$L \cdot I_{Lpk}^2 \approx \Delta H_{gap} \cdot \Delta B \cdot A_e \cdot l_{gap}$$

The flux density ΔB is the same throughout the core and the air gap and is related to the field strength inside the air gap by the well-known relationship:

$$\Delta B = \mu_0 \cdot \Delta H_{gap}.$$

Then, considering Ampere's law (applied to the air gap region only):

$$l_{gap} \cdot \Delta H_{gap} \approx N \cdot I_{Lpk},$$

from the energy balance equation it is possible to obtain:

$$L \approx \mu_0 \cdot \frac{N^2 \cdot A_e}{l_{gap}} \Rightarrow N \approx \sqrt{\frac{L \cdot l_{gap}}{\mu_0 \cdot A_e}},$$

where N is the turn number of the winding.

As N is defined, it is recommended to check for the saturation of the core (see Pin 4 description). If the check shows a result too close to the rated limit, an increase of l_{gap} and a new calculation will be necessary.

The wire gauge selection is based on limiting the copper losses at an acceptable value:

$$P_{CU} = \frac{4}{3} \cdot I_{rms}^2 \cdot R_{CU};$$

due to the high frequency ripple the effective wire resistance R_{CU} is increased by skin and proximity effects. For this reason Litz wire or multi-wire solutions are recommended.

Finally, the space occupied by the winding will be evaluated and, if it does not fit the winding area of the bobbin, a bigger core set will be considered and the winding calculation repeated.

It is now necessary to add an auxiliary winding to the inductor, in order for the ZCD pin to recognize when the current through the inductor has gone to zero. It is anyway a low cost thin wire winding and the turns number is the only parameter to be defined (see Pin 5 description).

POWER MOSFET

The choice of the MOSFET concerns mainly its R_{DSon} , which depends on the output power, since the breakdown voltage is fixed just by the output voltage, plus the overvoltage admitted and a safety margin.

The MOSFET's power dissipation depends on conduction and switching losses.

The conduction losses are given by:

$$P_{ON} = I_{Qrms}^2 \cdot R_{DSon}$$

where:

$$I_{Qrms} = 2 \cdot \sqrt{2} \cdot I_{rms} \cdot \sqrt{\frac{1}{6} - \frac{4 \sqrt{2}}{9\pi} \cdot \frac{V_{irms}}{V_O}}.$$

The switching losses due to current-voltage cross occur only at turn-off because of the TM operation:

$$P_{CROSS} = V_O \cdot I_{rms} \cdot t_{fall} \cdot f_{sw},$$

AN966 APPLICATION NOTE

where t_{fall} is the crossover time at turn-off. At turn-on the loss is due to the discharge of the total drain capacitance inside the MOSFET itself. In general, these losses are given by:

$$P_{CAP} = \left(3.3 \cdot C_{oss} \cdot V_{DRAIN}^{1.5} + \frac{1}{2} \cdot C_d \cdot V_{DRAIN}^2 \right) \cdot f_{sw} ,$$

where C_{oss} is the internal drain capacitance of the MOSFET (@ $V_{DS} = 25V$), C_d is the total external drain parasitic capacitance and V_{DRAIN} is the drain voltage at MOSFET turn-on. In practice it is possible to give only a rough estimate of the total switching losses because both f_{sw} and V_{DRAIN} change along a given line half-cycle. V_{DRAIN} , in particular, is affected not only by the sinusoidal change of the input voltage but also by the drop due to the resonance of the boost inductor with the total drain capacitance (see fig. 12). This causes, at low mains voltage, V_{DRAIN} to be zero during a significant portion of each line half-cycle. It is possible to show that "Zero-Voltage-Switching" occurs as long as the instantaneous line voltage is less than half the output voltage.

BOOST DIODE

The boost freewheeling diode will be a fast recovery one. The value of its DC and RMS current, useful for losses computation, are respectively:

$$I_{Do} = I_o$$
$$I_{Drms} = 2 \cdot \sqrt{2} \cdot I_{rms} \cdot \sqrt{\frac{4 \sqrt{2}}{9\pi} \cdot \frac{V_{irms}}{V_O}} .$$

The conduction losses can be estimated as follows:

$$P_{DON} = V_{to} \cdot I_{Do} + R_d \cdot I_{Drms}^2 ,$$

where V_{to} (threshold voltage) and R_d (differential resistance) are parameters of the diode. The breakdown voltage is fixed with the same criterion as the MOSFET.

L6561 Biasing Circuitry (pin by pin)

Please, refer to the schematic circuit shown in fig. 13.

Pin 1 (INV) leads both to the inverting input of the E/A and to the OVP circuit. A resistive divider will be connected between the regulated output voltage of the boost and the pin. The internal reference on the non-inverting input of the E/A is 2.5V and the OVP alarm level current is 40μA. R11+ R12 and R13 will be then selected as follow:

$$\frac{R11 + R12}{R13} = \frac{V_O}{2.5V} - 1 \quad R11 + R12 = \frac{\Delta V_{OVP}}{40 \mu A} ,$$

Pin 2 (COMP) is the output of the E/A and also one of the two inputs of the multiplier. A feedback compensation network, placed between this pin and INV (1), reduces the bandwidth so to avoid the attempt of the system to control the output voltage ripple (100-120Hz).

In the simplest case, this compensation is just a capacitor, which provides a low frequency pole as well as a high DC gain. A simple criterion to define the capacitance value, is to provide ~60dB attenuation at 100Hz:

$$C23 = \frac{10}{2 \pi \cdot R7}$$

Please refer to [1] for more information on how to compensate the E/A.

Pin 3 (MULT) is the second multiplier input. It will be connected, through a resistive divider, to the rectified mains to get a sinusoidal voltage reference. The multiplier can be described by the relationship:

$$V_{CS} = k \cdot (V_{COMP} - 2.5V) \cdot V_{MULT}$$

where V_{CS} (Multiplier output) is the reference for the current sense, k is the multiplier gain, V_{COMP} is the voltage on pin 2 (E/A output) and V_{MULT} is the voltage on pin 3.

A complete description is given by the diagram of fig. 11, which shows the typical multiplier characteristics family. The linear operation of the multiplier is guaranteed inside the range 0 to 3V of V_{MULT} and the range 0 to 1.6V of V_{CS} , while the minimum guaranteed value of the maximum slope of the characteristics family ($\Delta V_{CS}/\Delta V_{MULT}$) is 1.65. Taking this into account, the following is the suggested procedure to set properly the operating point of the multiplier.

First, the maximum peak value for V_{MULT} , $V_{MULTpkx}$, is selected. This value, which will occur at maximum mains voltage, should be 3V or nearly so in wide range mains and less in case of single mains. The minimum peak value, occurring at minimum mains voltage will be:

$$V_{MULTpkmin} = V_{MULTpkx} \cdot \frac{V_{rms(min)}}{V_{rms(max)}}$$

This value, multiplied by the minimum guaranteed $\frac{\Delta V_{CS}}{\Delta V_{MULT}}$ will give the maximum peak output voltage of the multiplier:

$$V_{XCSpk} = 1.65 \cdot V_{MULTpkmin}$$

If the resulting V_{XCSpk} exceeds the linearity limit of the current sense (1.6V), the calculation should be repeated beginning with a lower $V_{MULTpkx}$ value.

In this way, the divider will be such that:

$$\frac{R3}{R1 + R2 + R3} = \frac{V_{MULTpkx}}{\sqrt{2} \cdot V_{rms(max)}}$$

the individual values can be chosen by setting the current through $R3$, in the hundreds μA or less to minimise power dissipation.

Pin 4 (CS) is the inverting input of the current sense comparator. Through this pin, the L6561 reads the instantaneous inductor current, converted to a proportional voltage by an external sense resistor (R_s). As this signal crosses the threshold set by the multiplier output, the PWM latch is reset and the power MOSFET is turned off. The MOSFET will stay in OFF-state until the PWM latch is set again by the ZCD signal. An internal circuit ensures that the PWM latch cannot be set until the signal on pin 4 has disappeared.

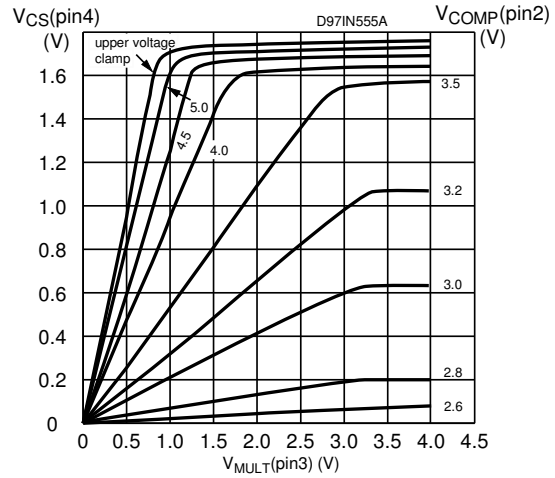
The sense resistor value is calculated as follows:

$$R_s \leq \frac{V_{XCSpk}}{I_{Rspk}}$$

where V_{XCSpk} has been calculated as per described earlier and:

$$I_{Rspk} = 2\sqrt{2} \cdot I_{rms}$$

Figure 11. Multiplier characteristics family



AN966 APPLICATION NOTE

The power dissipated in R_s , is given by:

$$P_{R_s} = R_s \cdot I_{Q_{rms}}^2.$$

The internal 1.8V (max.) zener clamp on the non-inverting input of the PWM comparator sets a current limitation threshold, so that the maximum current through R_s can be as high as:

$$I_{R_{spkmax}} = \frac{1.8}{R_s}.$$

This will be the maximum inductor current as well, therefore one must make sure that the boost inductor does not saturate at this current level, which is very likely to be reached when the boost converter is powered on (especially at low line) or powered off.

Pin 5 (ZCD) is the input to the Zero Current Detector circuit. The ZCD pin will be connected to the auxiliary winding of the boost inductor through a limiting resistor.

The ZCD circuit is negative-going edge-triggered: when the voltage on the pin falls below 1.6 V the PWM latch is set and the MOSFET is turned on. To do so, however, the circuit must be armed first: prior to falling below 1.6V the voltage on pin 5 must experience a positive-going edge exceeding 2.1 V (due to MOSFET's turn-off).

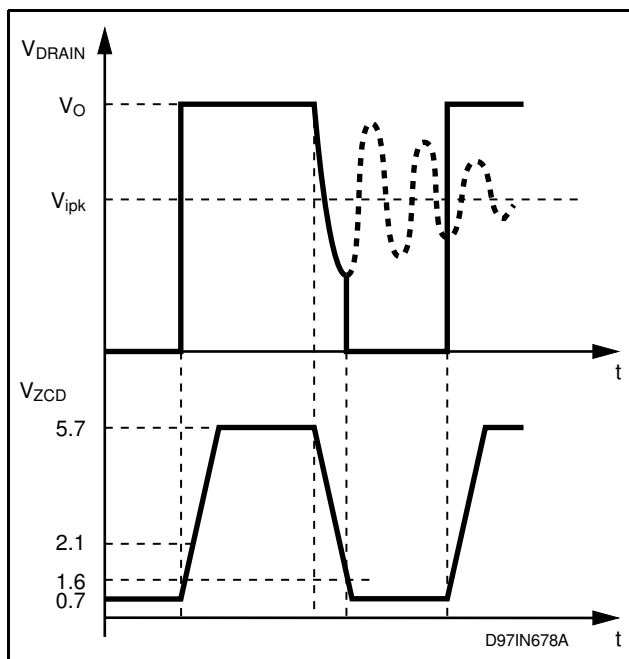
The maximum main-to-auxiliary winding turn ratio, m , has to ensure that the voltage delivered to the pin during MOSFET's OFF-time is sufficient to arm the ZCD circuit. Then:

$$m \leq \frac{V_o - \sqrt{2} \cdot V_{irms(max.)}}{2.1}$$

If the winding is used also for supplying the IC, the above criterion may not be compatible with the V_{cc} voltage range. To solve this incompatibility the self-supply network shown in the schematic of fig. 13 can be used. The minimum value of the limiting resistor can be found assuming 3 mA current through the pin and considering the maximum voltage (the absolute value) across the auxiliary winding.

The actual value can be then fine-tuned trying to make the turn-on of the MOSFET occur exactly on the valley of the drain voltage oscillation (the boost inductor, completely discharged, is ringing with the drain capacitance, see fig. 12). This will minimize the power dissipation at turn-on.

Figure 12. Optimum MOSFET Turn-on



If the pin is driven by an external signal, the L6561 will be synchronized to (the negative-going edges of) that signal. If left floating, the L6561 will work at the frequency of its internal starter. Obviously, neither TM operation will take place nor high PF will be achieved in this case, but these characteristics can be exploited in applications other than PFC.

This pin incorporates also a disable function. The device will be shut down if the voltage on the pin is forced externally below 150mV. To do so, up to 10mA must be sunk from the pin. The quiescent current of the IC will be reduced at about 1.4 mA. The device will restart as the external pull-down is removed since an internal 150μA generator pulls up the pin.

Pin 6 (GND). This pin acts as the current return both for the signal internal circuitry and for the gate drive current. When layouting the printed circuit board, these two paths should run separately.

Pin 7 (GD) is the output of the driver. The pin is able to drive an external MOSFET with 400mA source and sink capability.

To avoid undesired switch-on of the external MOSFET because of some leakage current when the supply of the chip is below the UVLO threshold, an internal pull-down circuit holds the pin low. The circuit guarantees 0.3V maximum on the pin (@ $I_{\text{sink}} = 10\text{mA}$), with $V_{\text{CC}} > 3\text{V}$. This allows omitting the "bleeder" resistor connected between the gate and the source of the external MOSFET used to this purpose.

Pin 8 (V_{CC}) is the supply of the device. This pin will be externally connected to the start-up circuit (usually, one resistor connected to the rectified mains) and to the self-supply circuit.

Whatever the configuration of the self-supply system, a capacitor will be connected between this pin and ground.

To start the L6561, the voltage must exceed the start-up threshold (13V max.). Below this value the device does not work and consumes less than 90 μA from V_{CC} . This allows the use of high value start-up resistors (in the hundreds k Ω), which reduces power consumption and optimises system efficiency at low load, especially in wide range mains applications.

When operating, the current consumption (of the device only, not considering the gate drive current) rises to a value depending on the operating conditions but never exceeding 4.5mA.

The device keeps on working as long as the supply voltage is over the UVLO threshold (10.3V max).

If the V_{CC} voltage exceeds 18V an internal zener diode, 30 mA rated, will be activated that clamps the voltage. In that case the power consumption of the device will increase considerably, but there is no harm as long as the current is below the maximum rating.

PRACTICAL DESIGN EXAMPLE

To fix the main concepts, here below the wide range demonstration board design is described and the results of the board evaluation are presented.

The target specifications are summarised in table 1. To meet them an appropriate selection, especially as to critical components, is an important step.

Table 1. Wide Range PFC Target Specification.

AC mains RMS voltage	$V_{\text{rms}} = 85 \text{ to } 265\text{V}$
DC output regulated voltage	$V_o = 400\text{V}$
Rated output power	$P_o = 80\text{W}$
Minimum switching frequency	$f_{\text{sw}(\text{min})} = 35\text{kHz}$
Expected efficiency	$\eta > 90\%$
Full load output voltage ripple	$\Delta V_o \leq \pm 10\text{V}$
Maximum output overvoltage	$\Delta V_{\text{OVP}} = 60\text{V}$

POWER MOSFET:

Two parameters are useful to select the suitable device: the minimum blocking voltage $(V_{\text{BR}})_{\text{DSS}}$ and the $R_{\text{DS(on)}}$ because of power dissipation.

The device selected is the STP8NM50 (MDMESH) ($(V_{\text{BR}})_{\text{DSS}} = 500\text{V}$, $R_{\text{DS(on)}} = 0.8\Omega @ 25^\circ\text{C}$, $1.6\Omega @ 125^\circ\text{C}$). The estimated power dissipation is 1.6W total. A 40°C/W heat sink is provided to keep die temperature at a safe value.

BOOST DIODE (D1):

The plastic axial diode STTH1L06 (Turbo2, 1A 600V) has been selected. The power dissipation is estimated about 0.24W.

BOOST INDUCTOR (L):

The inductance value (L) is as high as 0.7 mH, which leads to a minimum switching frequency of 35kHz.

AN966 APPLICATION NOTE

Assuming an I_{gap}/I_e ratio of 2.5% the minimum core size estimate gives a minimum volume of 2.6 cm³. Considering the E series, the E25 (2.99 cm³ effective volume) has been selected.

To reduce copper losses, a multiple wire (20 x 0.1mm) has been adopted. The resistance of the winding is about 0.75Ω at 35 kHz, so the maximum copper losses are about 1W.

OUTPUT FILTER CAPACITOR (C6):

The specification on the output voltage ripple determines the capacitance value.

Assuming 50 Hz minimum line frequency, a 47μF/450V capacitor has been selected. This gives an output ripple $\Delta V_o = \pm 7$ V.

MULTIPLIER SETTING (R1, R2, R3) AND SENSE RESISTOR (R9, R10):

The multiplier divider is selected so to exploit about 80% of its linear dynamics ($V_{MULTpkx} = 2.5V$) as per the procedure described in pin 3 description. The sense resistor is then determined.

As to R9 and R10, metal film resistors are suitable because of the high peak current flowing in it.

OUTPUT DIVIDER (R11, R12, R13):

R11 + R12 is selected so to achieve the desired overvoltage trip level ($\Delta V_{OVP} = 60V$), while R13 is chosen so to get the specified output regulated voltage.

ERROR AMPLIFIER COMPENSATION

The error amplifier has been compensated so as to get a type 2 amplifier that provides a pole at the origin and a zero-pole pair. As compared to a type1 amplifier (compensated with a single capacitor) this compensation offers a higher phase margin under all operating conditions and is therefore recommended when the PFC pre-regulator powers a DC-DC converter. However, the twice-mains-frequency gain will be higher because of the zero, which causes a higher ripple at the output of the E/A and, as a result, a higher 3rd harmonic (and a higher THD) of the current drawn from the mains.

THD REDUCER

In the PCB there is provision for a network (see schematic of figure 13, in the dotted box) able to reduce the crossover distortion of the PFC input current, that is the small flat region appearing at the zero crossings of the mains voltage. The effect of this circuit is to force the ON-time of the power switch to increase nearby the zero-crossings. As a result, the energy inside the boost inductor will be greater and the dead-time during which there is no energy transfer is reduced. The circuit fine-tuning has to be made experimentally.

NTC

The NTC has been moved from the input to the output, in series with the boost diode. In this way, though still doing its job of inrush current limiter, it will undergo the output current instead of the input current, as in the typical position, with a considerable power dissipation reduction. The extra voltage on mosfet's drain while the boost diode is conducting is negligible.

The schematic circuit of fig. 13 shows the values of all the parts used. In fig. 14 the printed circuit board and the component layout of the demonstration board are shown.

Figure 13. 80W, Wide Range Demonstration Board(EVAL6561-80): Electrical Circuit

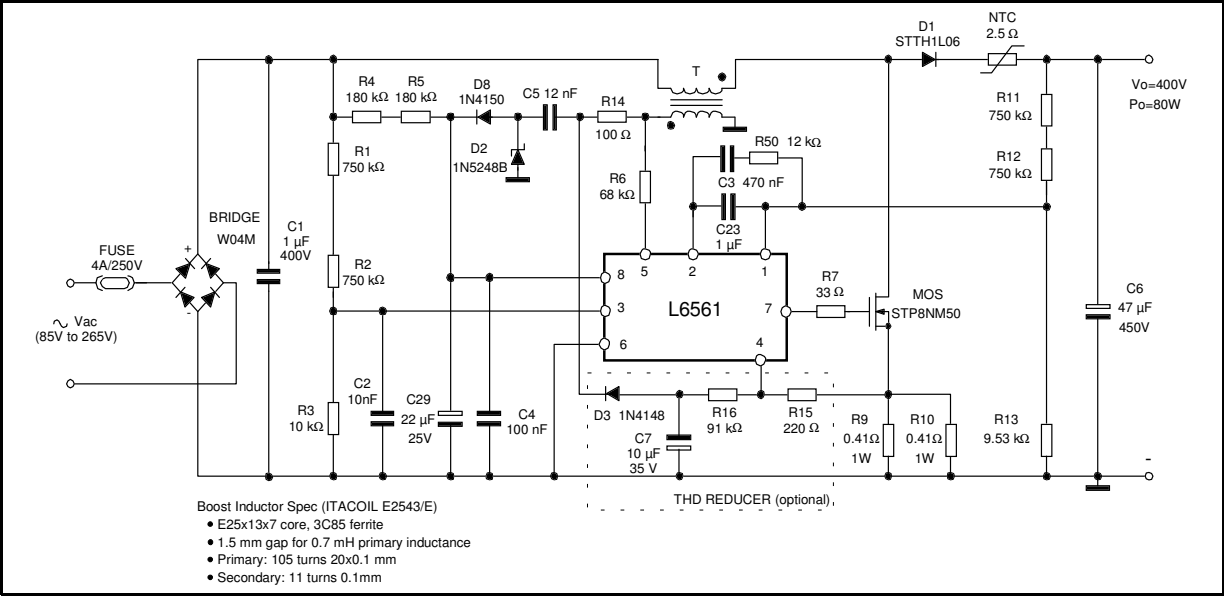
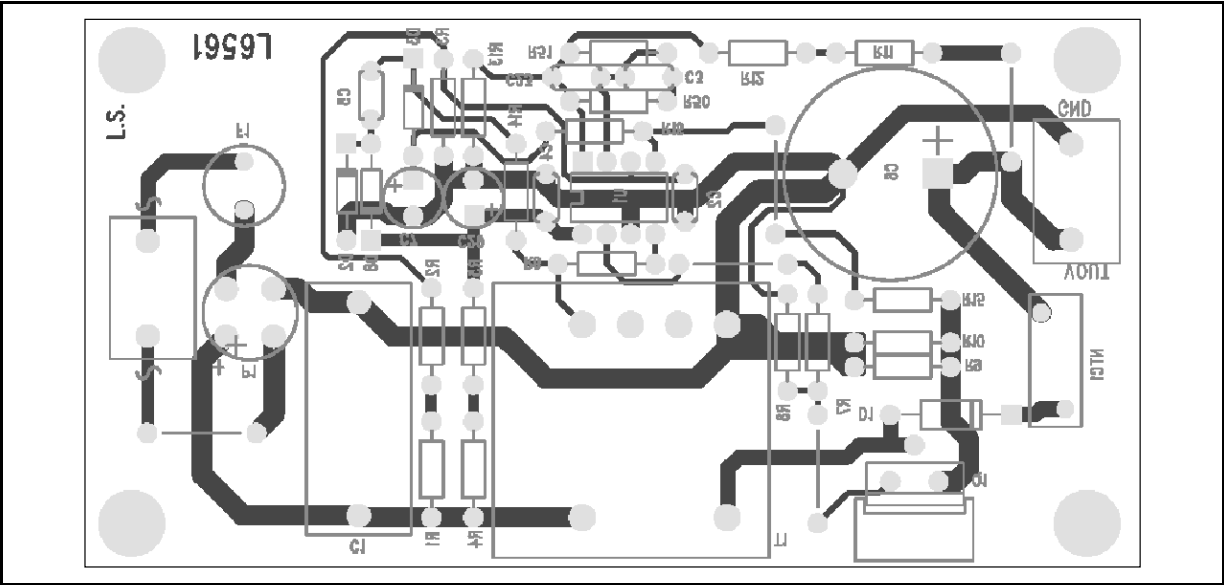


Table 2. EVAL6561-80 Evaluation Results

V _{in} (Vac)	Pin (W)	V _o (Vdc)	ΔV _o (Vdc)	P _o (W)	η (%)	w/o THD reducer		with THD reducer	
						PF	THD (%)	PF	THD (%)
85	87.2	400.1	14	80.7	92.8	0.999	3.7	0.999	2.9
110	85.2	400.1	14	80.7	94.7	0.996	5.0	0.996	3.2
135	84.2	400.1	14	80.7	95.8	0.989	6.2	0.989	3.7
175	83.5	400.1	14	80.7	96.6	0.976	8.3	0.976	4.3
220	83.1	400.1	14	80.7	97.1	0.940	10.7	0.941	5.6
265	82.9	400.1	14	80.7	97.3	0.890	13.7	0.893	8.1

Figure 14. EVAL6561-80: PCB and Component Layout (Top view, real size 57x108mm)



DEMO BOARD EVALUATION RESULTS

To evaluate the performance of the PFC demonstration board, the following parameters have been measured: PF(Power Factor), THD%(Current Total Harmonic Distortion), ΔV_o (Peak-to-Peak Output Voltage Ripple), V_o (Output Voltage), η (Efficiency).

The test equipment set-up is shown in fig. 15 and the results are shown in table 2.

The harmonic content measurement has been done with an EMI/RFI filter interposed between the AC source and the demo board under test, while the efficiency has been calculated without the filter contribution. The filter is configured as shown in fig. 16, where:

$T1 = 2 \times 15\text{mH}$, $T2 = 2 \times 47\text{mH}$, $C_{x1} = 0.47\mu\text{F} / 630\text{V}$, $C_{x2} = 0.68\mu\text{F}/630\text{V}$

Figure 15. Test Equipment Set-up

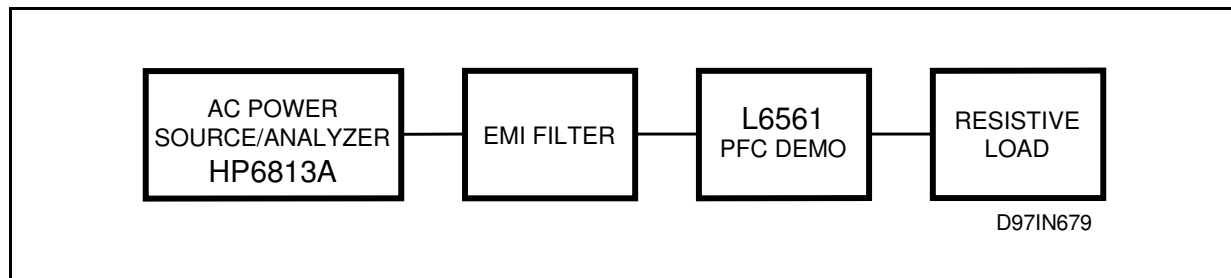
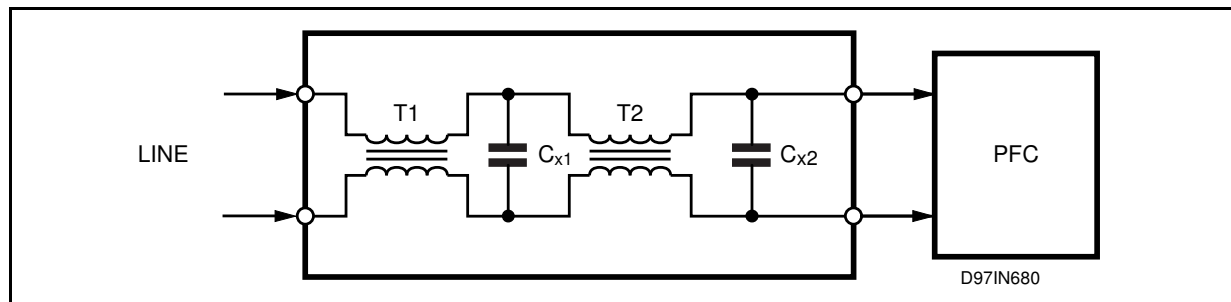


Figure 16. EMI Filter Configuration



APPLICATION IDEAS

The L6561 is a versatile device. Besides the typical application as a PFC preregulator based on boost topology, it fits also other applications and/or topologies. Some application hints are given in the following.

Figure 17. Wide Range 50W PFC, Flyback Topology.

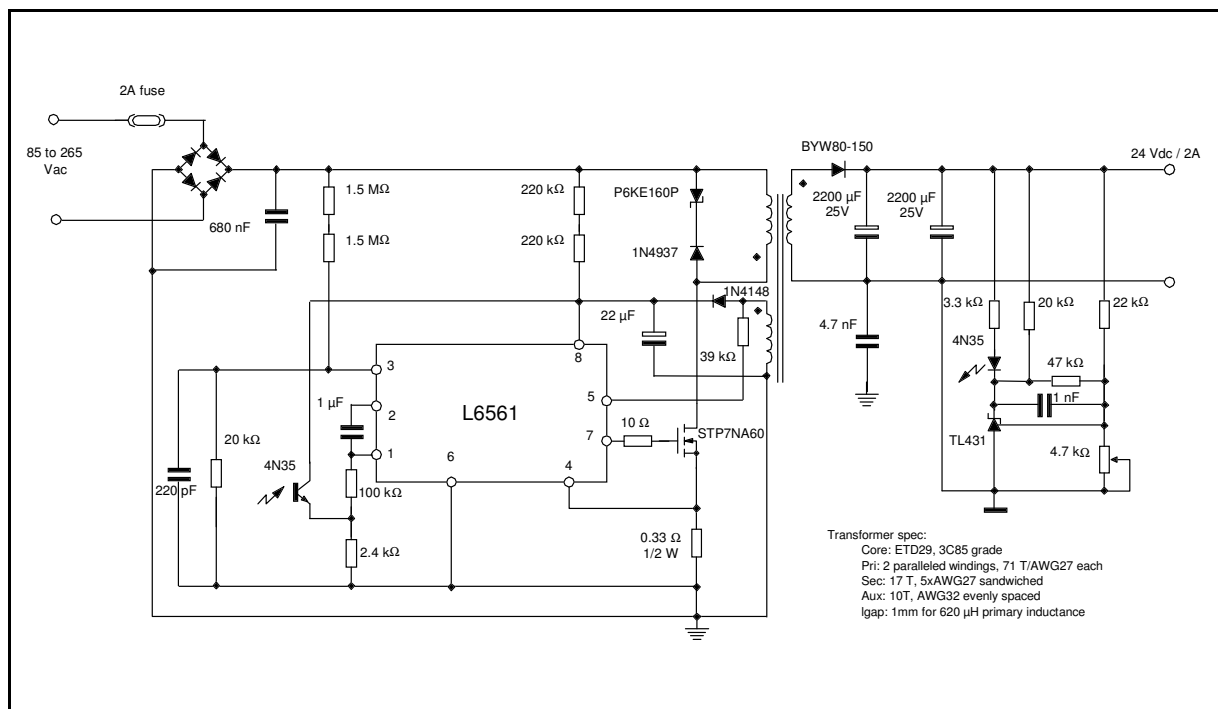


Figure 18. Power Factor Corrected Lamp Ballast using the L6569 driver.

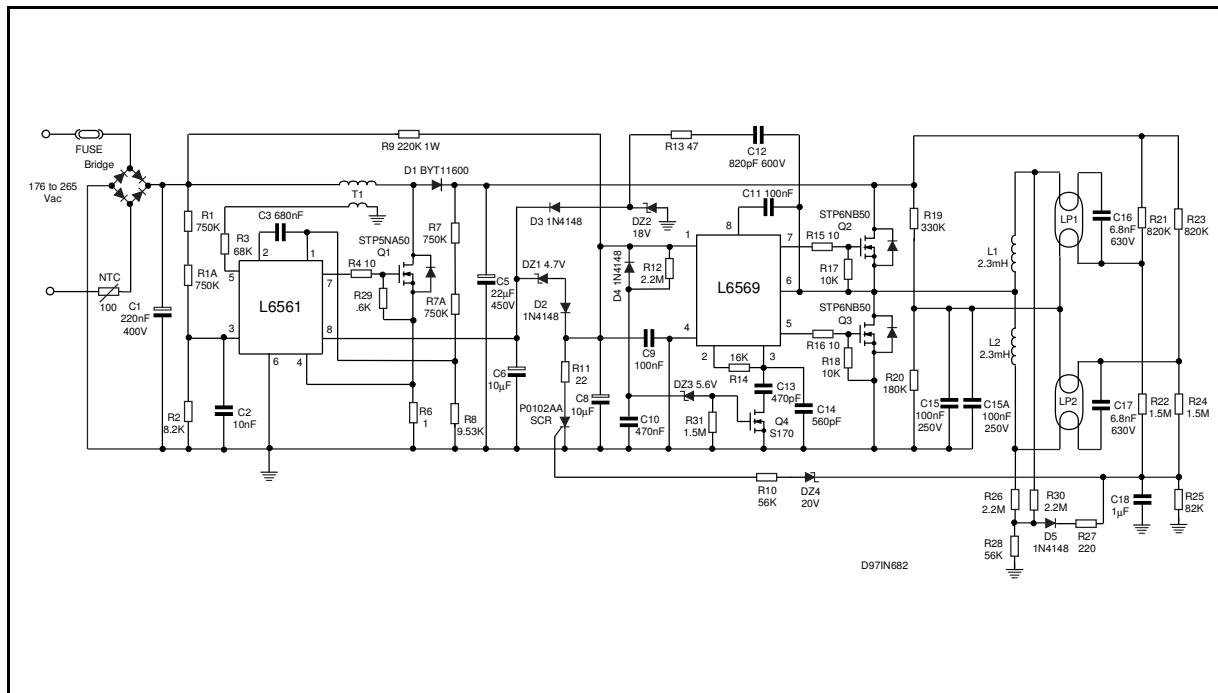
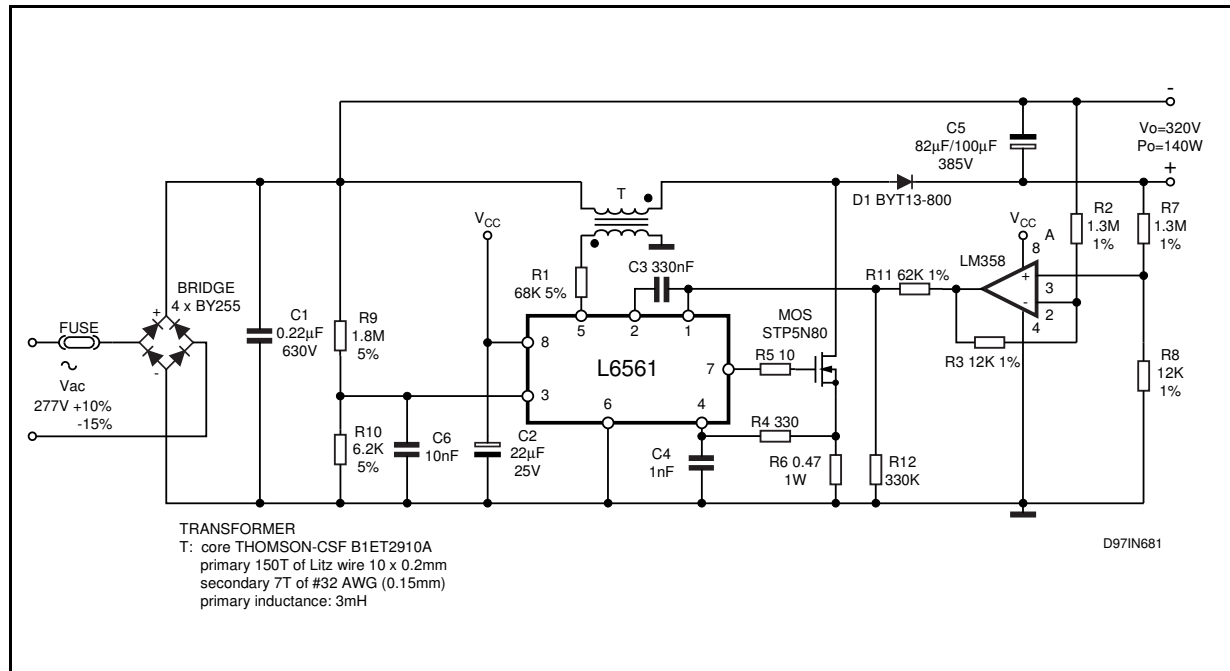


Figure 19. $V_{\text{mains}}=277\text{ V}_{\text{ac}}$, $V_o=320\text{ V}$, $P_o=140\text{ W}$ buck-boost topology



REFERENCE:

[1] "Control loop modelling of L6561-based TM PFC" (AN1089).

Information furnished is believed to be accurate and reliable. However, STMicroelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of STMicroelectronics. Specification mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. STMicroelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of STMicroelectronics.

The ST logo is a registered trademark of STMicroelectronics

© 2003 STMicroelectronics – Printed in Italy – All Rights Reserved

STMicroelectronics GROUP OF COMPANIES

Australia-Brazil-Canada-China-Finland-France-Germany- Hong Kong-India-Israel-Italy-Japan-Malaysia-Malta-Morocco-Singapore- Spain-Sweden-Switzerland-United Kingdom-United States.

<http://www.st.com>

